

高速电路 (*PECL*、*LVECL*、 *CML*、*LVDS*) 接口原理与应用

前 言

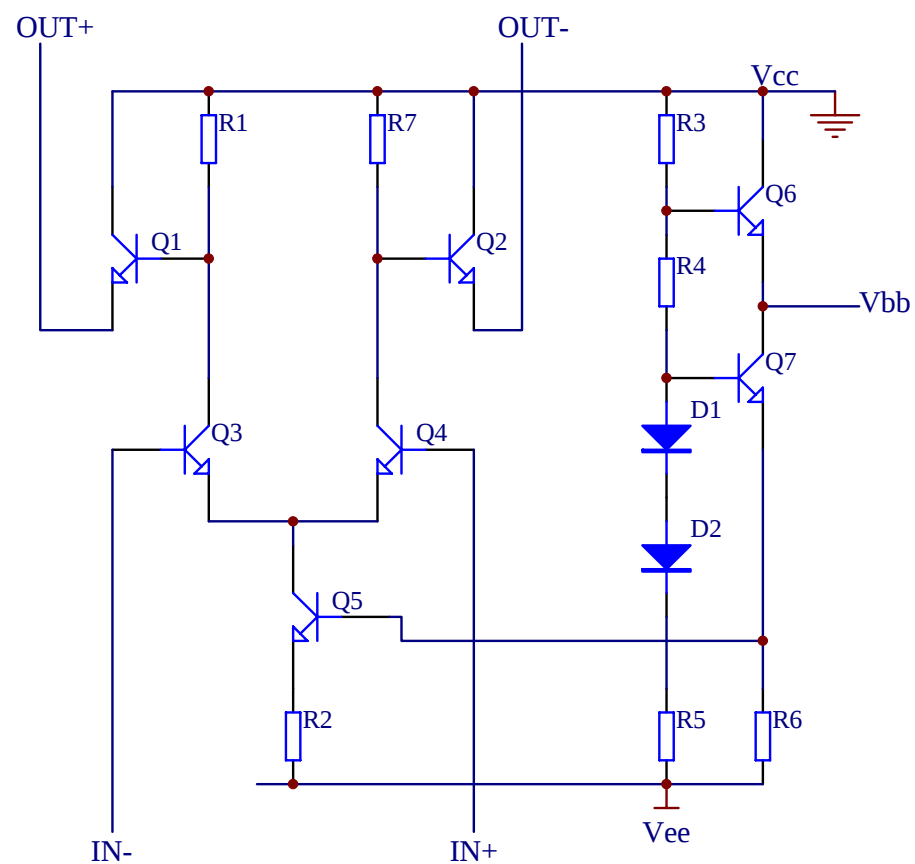
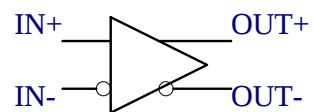
- 随着高速数据传输业务需求的增加，如何高质量的解决高速IC芯片间的互连变得越来越重要。低功耗及优异的噪声性能是有待解决的主要问题。
- 我们需要了解每一种接口标准的输入输出电路结构，由此可以知道如何进行直流偏置和终端匹配。
- 本讲座主要介绍高速通信系统中PECL、LVPECL、CML和LVDS的输入输出电路结构，它们的接口要求。

ECL电路

- TTL电路已经无法适应越来越高的工作速率，最先由 Motorola公司提出 ECL标准
- ECL电路（即发射极耦合逻辑电路）是一种非饱和型的数字逻辑电路，电路内晶体管工作在线性区或截止区，速度不受少数载流子的存储时间的限制，所以它是现有各种逻辑电路中速度最快的一种ECL电路,能满足高达10Gbps工作速率

ECL 电路实例

ECL 线接收器



ECL电路原理

- ECL线接收器电路由三部分组成：
- 1.晶体三极管Q3、Q4、Q5组成差分放大器，这是电路的核心，差分放大器只能工作在线性放大区和截止区，才能得到高速率的性能。
- 其中 Q5组成恒流源，它具有很大的交流等效电阻，远大于集电极R1、R7，因此具有很强的直流负反馈，同时起到“发射极耦合”作用。
- 2. Q1、Q2是发射极跟随器输出电路，它的作用是：a.电平位移，使输出的共模电平与下一级电路的输入共模电平($V_{CC}-1.3V$)相匹配；b.作为输出驱动即缓冲级，提供电流放大和低输出阻抗。
- 3. Q6、Q7和二极管D1、D2组成带温度补偿的偏置电源（参考源），它使差分放大器可靠地工作在线性放大区
- V_{bb} 即等于输入、输出的共模电平， $V_{bb}=V_{CC}-1.3V$ 。
- 注意！A. ECL电路的输入端不一定有内部偏置；
B. ECL电路一定是射极开路输出的。

ECL电路特点

1. 核心部分是差分放大器，有利于提高工作速率；差分放大器作为“电流开关”，工作在放大区或截止区。
2. 电路内工作时电压摆幅小（单端最大850mV，速率越高摆幅更小，最小500mV左右），要求晶体管工作点稳定性好。
3. 输入和输出端的共模电压都是 $V_{CC}-1.3V$ ，在电源电压相同时，可以把PECL电路的输入端和输出端直接相连，有利于简化电路，减少芯片外围元件。
4. PECL电路输入端必须建立偏置电压： $V_{CC}-1.3V$ ，空闲的输入端不能浮空，必须有同样的偏置电压；有些芯片提供 V_{bb} （ $V_{CC}-1.3V$ ）输出，可以很方便地用于输入端偏置。 V_{bb} （或 V_{ref} ）引脚要接去耦电容。
5. PECL电路通常有多个 V_{CC} 引出端，在每个 V_{CC} 引脚旁都要加去耦电容，以保证电路在高频下正常工作。
6. 功耗大，为此输出射随器的负载电阻只得外接。

ECL电路的优点

- **速度快**
晶体管工作时不进入饱和状态，只工作在线性区和截止区，没有少数载流子的存储现象，开关时间大为缩短；集电结电容大大减小，RC时间常数也相应减小，电路的传输延迟时间就很短；电路的逻辑电平摆幅小（单端小于850mV），在动态转换过程中各个结上的电压变化对结电容（包括寄生电容）的充放电时间很短。
- **逻辑功能强**
- **扇出能力强**
输入阻抗高（ $>10K\Omega$ ），输出阻抗低（约 $3\sim7\Omega$ ），因此它的直流扇出负载数可以高达92。
- **噪声低**
差分电路两臂交替工作，电源总电流基本恒定，电流尖峰很小；电压摆幅小，并且采用差分对或传输线传输信号，对外串扰和受外界干扰都减小了。
- **便于数据传输**

ECL电路的缺点

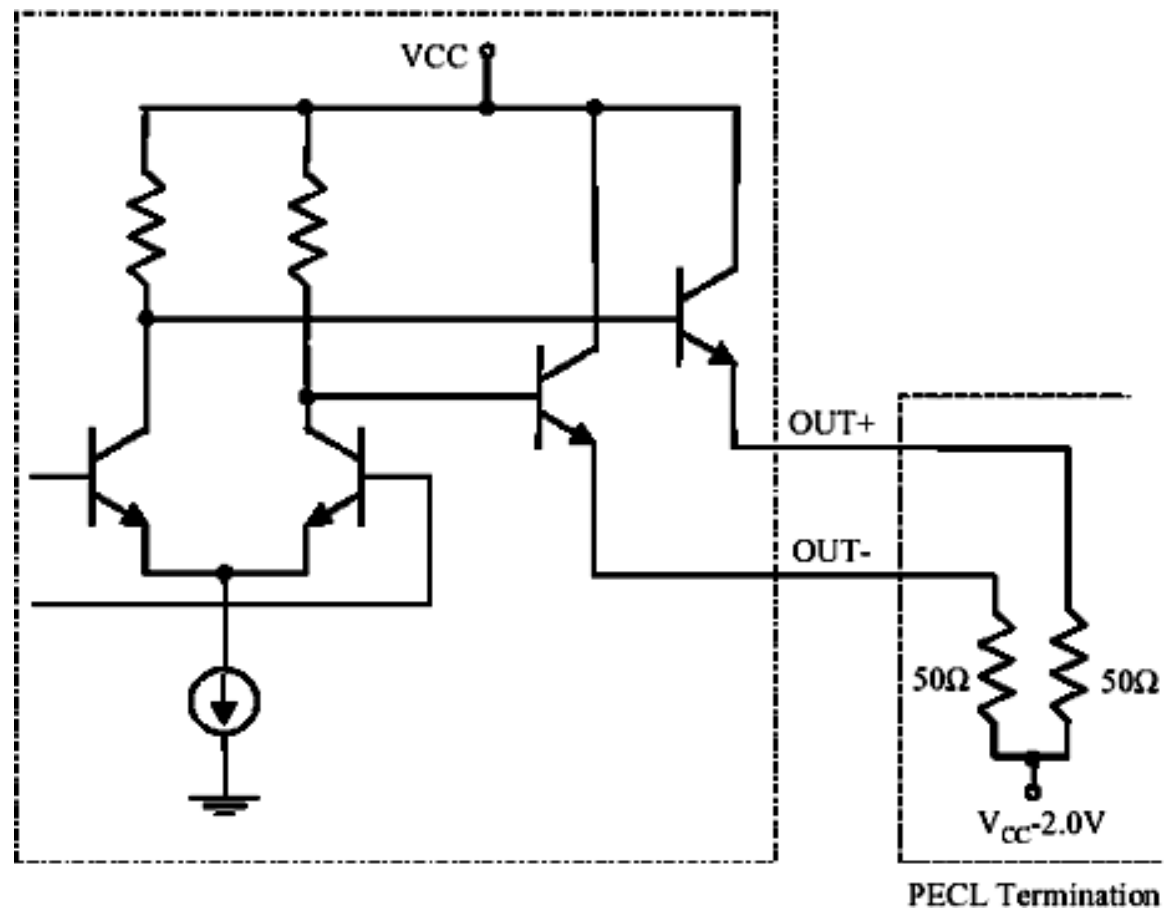
ECL电路的主要缺点：

ECL电路的直流功耗大，实际上，工作速率的提高是以牺牲功耗为代价换取来的。

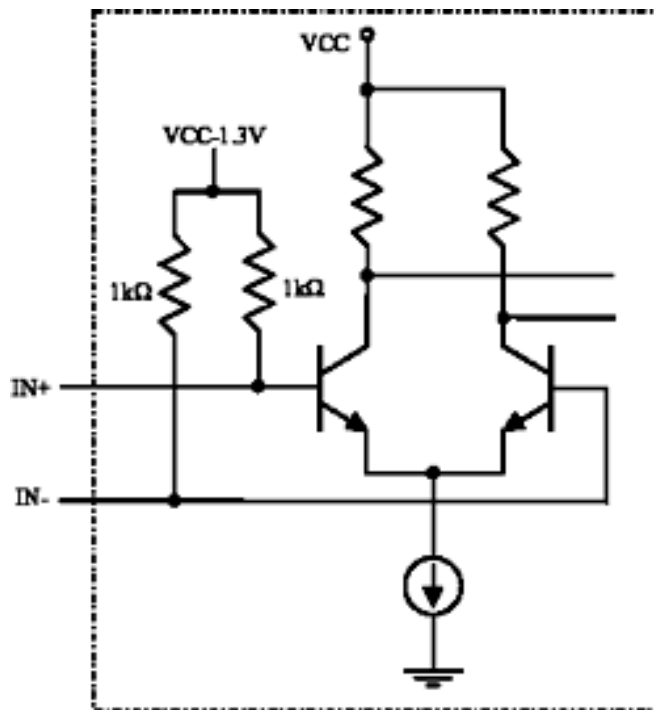
PECL电路

- PECL由ECL标准发展而来，在PECL电路中省去了负电源，较ECL电路更便于使用。PECL信号的摆幅相对ECL要小，这使得该逻辑更适合于高速数据的串行或并行连接，由于ECL电路是采用-5.2V电源供电， V_{CC} 是接地的，这样做虽有一些优点，但负电源还是很麻烦。
- PECL由ECL标准发展而来，采用+5V供电，可以和系统内其他电路共用一个正电源供电。PECL信号的摆幅相对ECL要略小些。

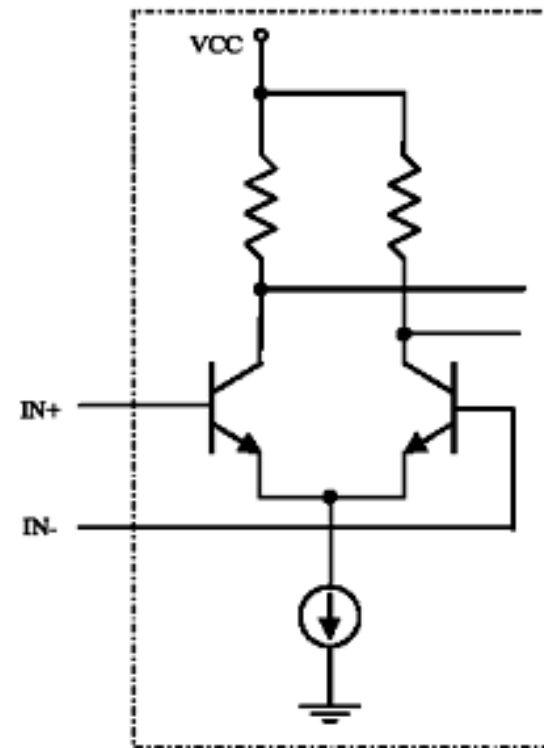
PECL电路接口输出结构



PECL电路接口输入结构



(a) With on-chip high-impedance biasing



(b) Without on-chip biasing

PECL输入和输出规格

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Output High Voltage	$T_A = 0^{\circ}\text{C to } +85^{\circ}\text{C}$	$V_{CC} - 1.025$		$V_{CC} - 0.88$	V
	$T_A = -40^{\circ}\text{C}$	$V_{CC} - 1.085$		$V_{CC} - 0.88$	V
Output Low Voltage	$T_A = 0^{\circ}\text{C to } +85^{\circ}\text{C}$	$V_{CC} - 1.81$		$V_{CC} - 1.62$	V
	$T_A = -40^{\circ}\text{C}$	$V_{CC} - 1.83$		$V_{CC} - 1.55$	V
Input High Voltage		$V_{CC} - 1.16$		$V_{CC} - 0.88$	V
Input Low Voltage		$V_{CC} - 1.81$		$V_{CC} - 1.48$	V

在+5.0V和+3.3V供电系统中，PECL接口均适用，
+3.3V供电系统的PECL即LVPECL。

PECL电路的输入输出接口

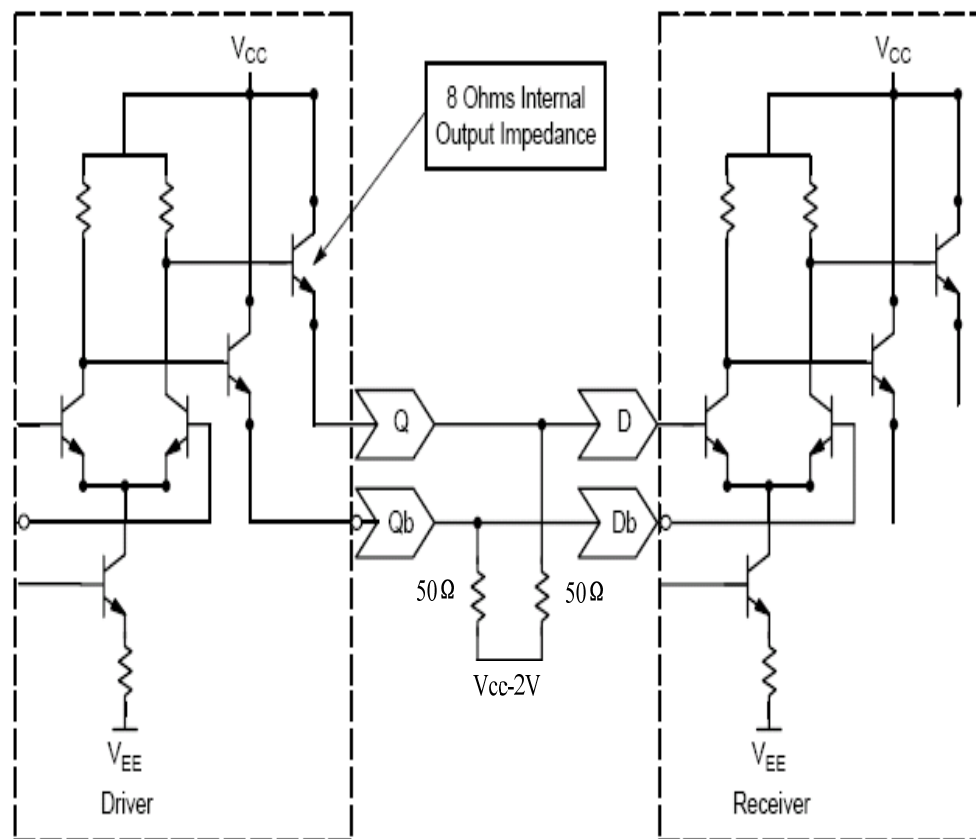
- 保证电路输入和输出有正确的偏置，这是最重要的。如果芯片电路内部的输入端没有偏置电路，则必须在外部分为两个差分输入端建立偏置电压($V_{CC}-1.3V$)，对于空闲的输入端，也应该建立同样的偏置电压，否则电路无法正常工作。
输出端是射极跟随器的发射极，在芯片内部没有连接负载，在输出端一定要连接适当的负载电阻，否则不会有正常的输出信号。
- 其次，在数据信号传输（与波长相比）距离较长，或者对信号质量要求较高时，就要考虑传输线阻抗匹配，或者说采用“端接线”。所谓“阻抗匹配”指的是传输线端接阻抗与传输线的特性阻抗匹配。并非PECL电路的输入输出阻抗匹配。

PECL端接和互连(1)

PECL电路的输入端和输出端都有相等的静态直流电压 ($V_{CC}-1.3V$)，只要电源电压相同，PECL电路之间的输出和输入可以直流耦合传输信号的。

1. 输出并联端接(50Ω)接口，辅助电源 $V_{CC}-2V$ ，如右图所示

这种方法性能最好，芯片的外接元件仅2个电阻，输出级的功耗也最小。但要增加一个 $V_{CC}-2V$ 的电源，增加了系统的复杂程度。现很少采用。



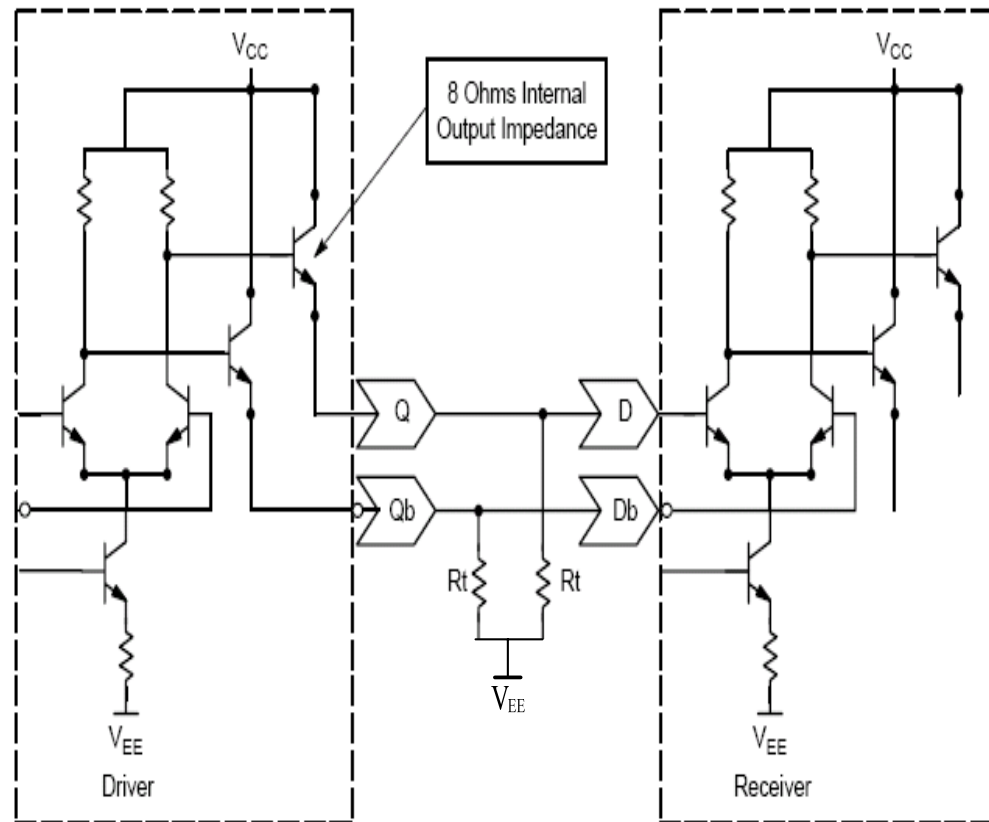
PECL端接和互连(2)

2. 输出无端接，电阻 R_t 直接连到 V_{EE} （GND）外围元件也只有2个电阻，单一电源（ V_{CC} ），电路最简单， R_t 的电阻值上限受射随器晶体管工作电流限制， R_t 太大，工作电流小，频率特性差；阻值下限受功耗限制。

$V_{CC}=5V$ $R_t=270\sim 470\ \Omega$

$V_{CC}=3.3V$ $R_t=120\sim 270\ \Omega$

在PCB上，当输出端和输入端之间距离很近，不需要用传输线来传递信号时，就可以采用这种互连方法。

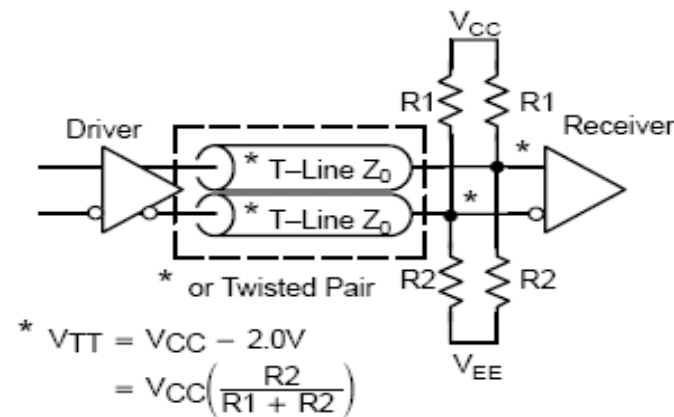


PECL端接和互连(3)

3.Thevenin等效并联端接接口

当输出端和输入端有一定距离，采用这种端接电路，既保证了信号质量，又不用增加辅助电源；但是需要4个外接电阻，稍有不便，4个电阻上流过电流较大，增加电源负担。

R1、R2在电路板上必须靠近输入端，因为它们是传输线的终端匹配阻抗。



$V_{CC} = 5.0 V$			$V_{CC} = 3.3 V$		
Z_0	R1	R2	Z_0	R1	R2
50	83	125	50	127	83
70	117	175	70	178	115
75	125	188	75	190	123
80	133	200	80	203	132
90	150	225	90	229	149
100	167	250	100	253	165
120	200	300	120	305	198
150	250	375	150	381	248

PECL端接和互连(4)

4. 串联端接

串联端接要求在驱动器输出端和传输线之间串接电阻 R_S ，而传输线终端不再接端接电阻（输入端仍需要适当的偏置）。

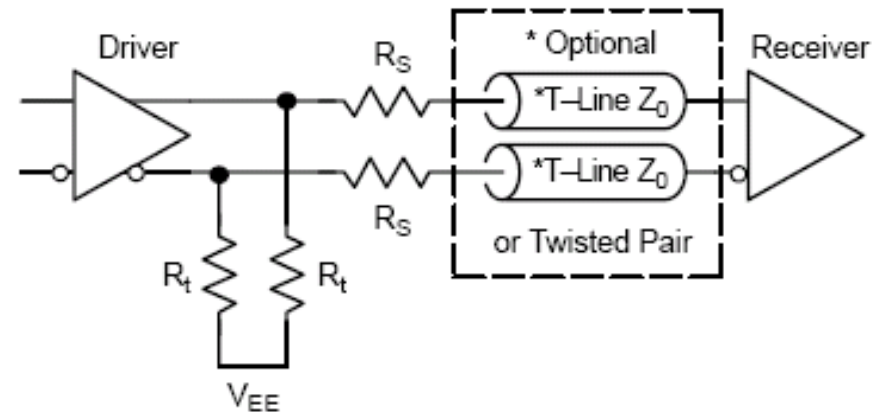
$$R_S + R_0 = Z_0$$

R_S =串联端接电阻

R_0 =驱动器输出内阻

Z_0 =传输线特性阻抗

串联端接适合较长距离的传输信号

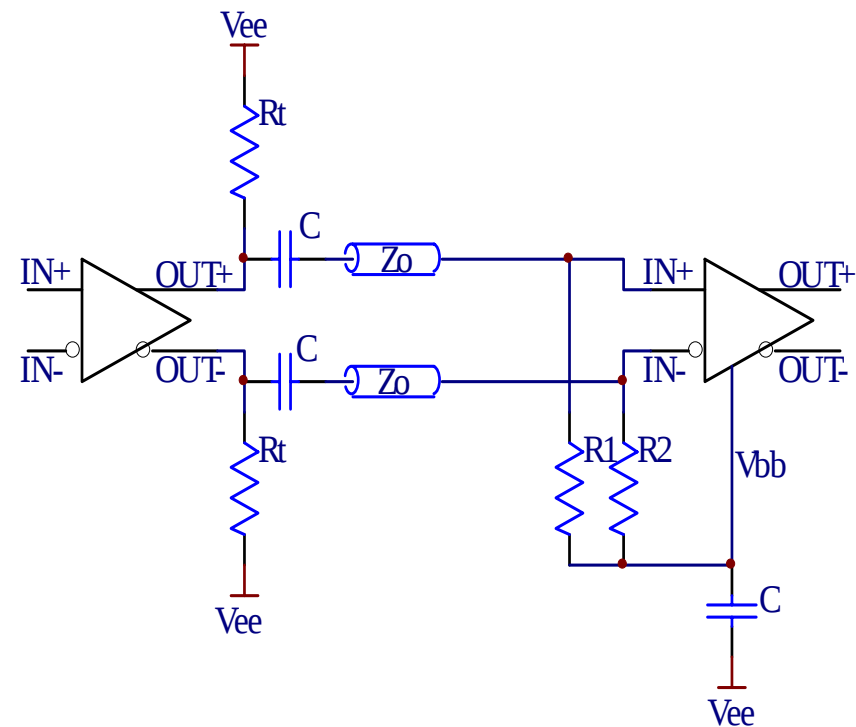


PECL端接和互连(5)

交流耦合，接收芯片有
Vbb输出

$R1=R2=Z_0$

Vbb端必须接去耦电容



PECL端接和互连(6)

交流耦合，接收芯片无
 V_{bb} 输出

用四个电阻网络为输入端
建立偏置电压，同时满足
阻抗匹配的要求

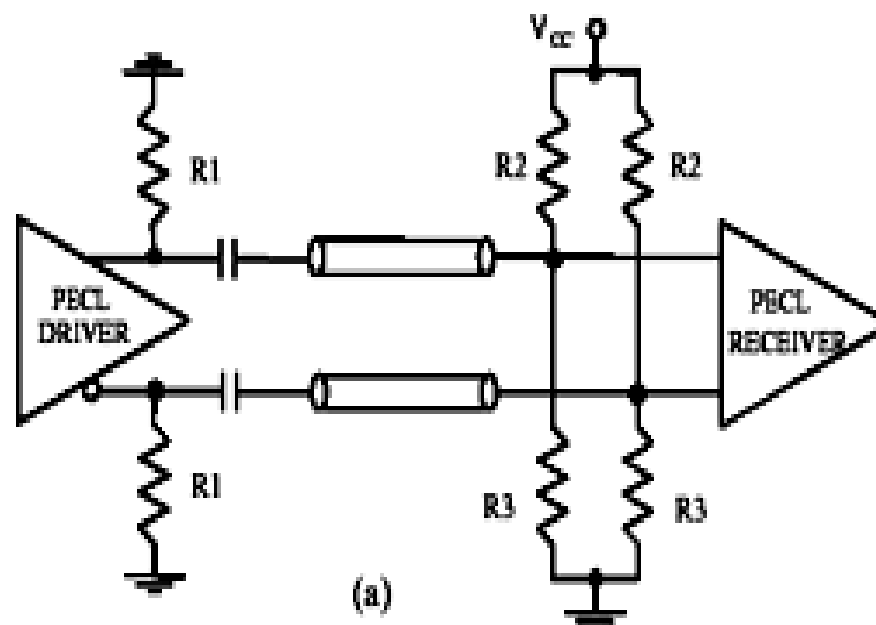
$Z_0 = 50\ \Omega$

$V_{CC} = 5V$

$R_2 = 68\ \Omega$ $R_3 = 180\ \Omega$

$V_{CC} = 3.3V$

$R_2 = 82\ \Omega$ $R_3 = 130\ \Omega$



CML电路

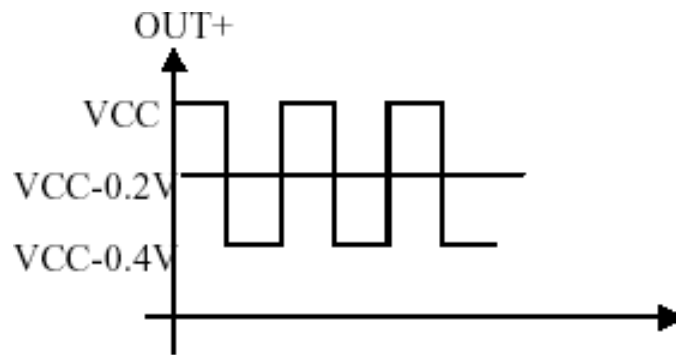
- CML电路即“电流模式逻辑”电路。CML是所有高速数据接口形式中最简单的一种
- CML电路与ECL电路类似，电路的核心部分同样是一个差分放大器，它的共发射极也是通过恒流源到地。
- CML电路提供的电压摆幅较小(典型值：单端400mV)，芯片内部已集成了输入、输出的匹配电阻（ 50Ω ），所以，在它的输入、输出端不需要外加端接和偏置电阻。
- CML电路的功耗比ECL电路小。

CML输入和输出规格

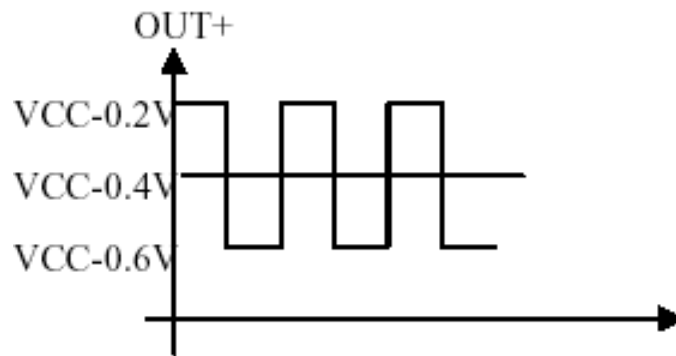
PARAMETER	CONDITION	MIN	TYP	MAX	Units
Differential Output Voltage		640	800	1000	mV _{p-p}
Output Common Mode Voltage			V _{CC} -0.2		V
Single-Ended Input Voltage Range	V _{IS}	V _{CC} - 0.6V		V _{CC} + 0.2V	V
Differential Input Voltage Swing		400		1200	mV _{p-p}

Note: Different Maxim products have different CML input sensitivities (i.e., MAX3875, MAX3876).

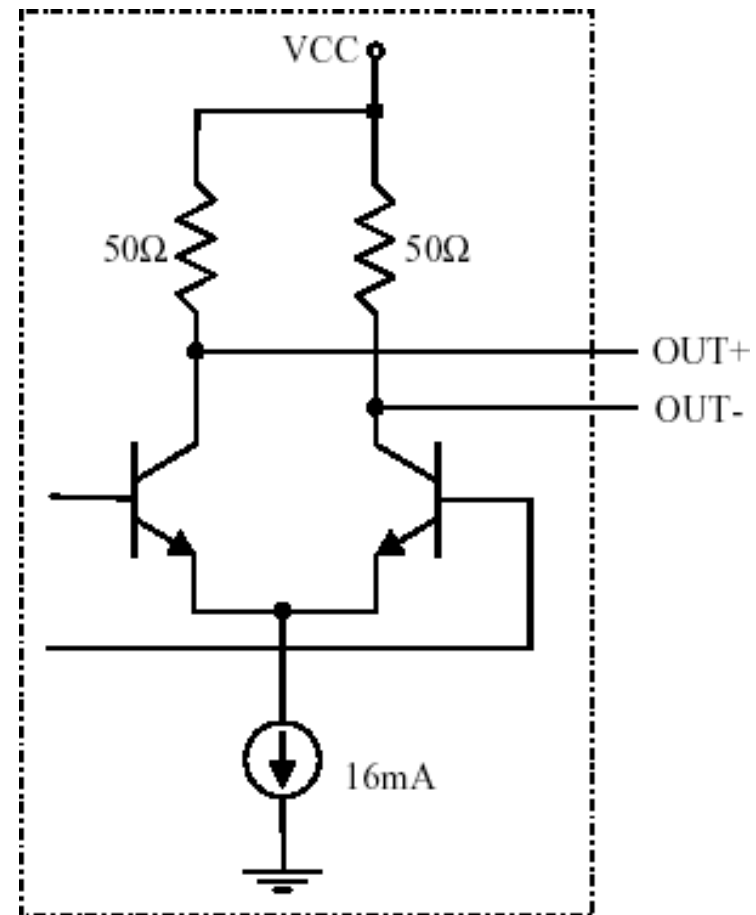
CML电路输出结构



(a) DC-Coupled with 50Ω to V_{CC}

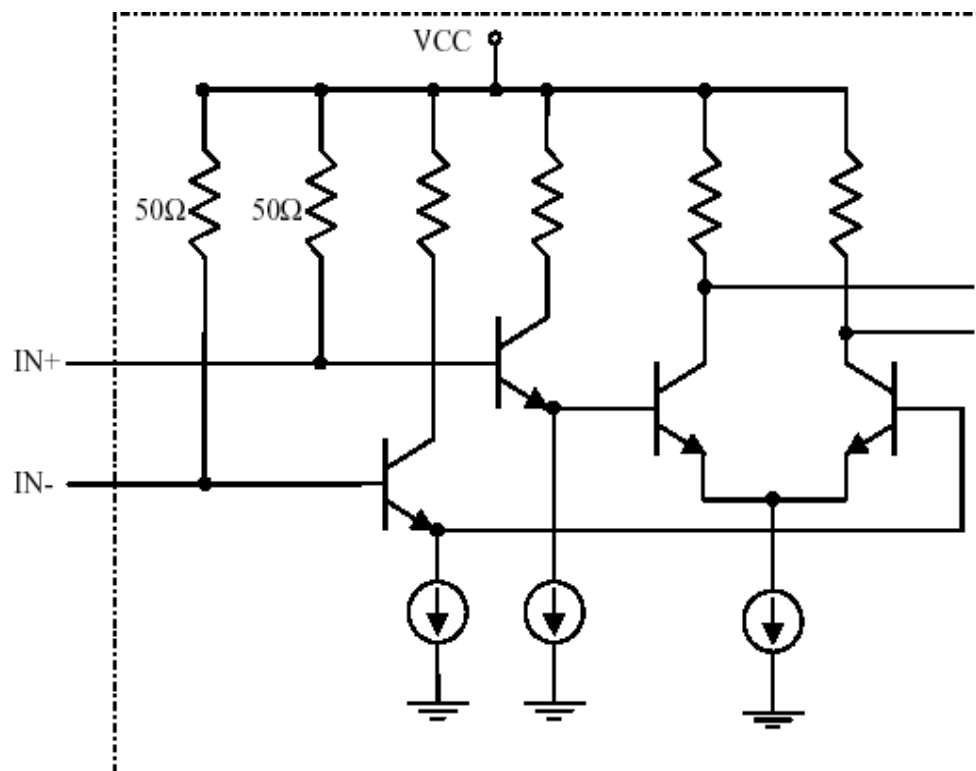


(b) AC-Coupled to 50Ω termination



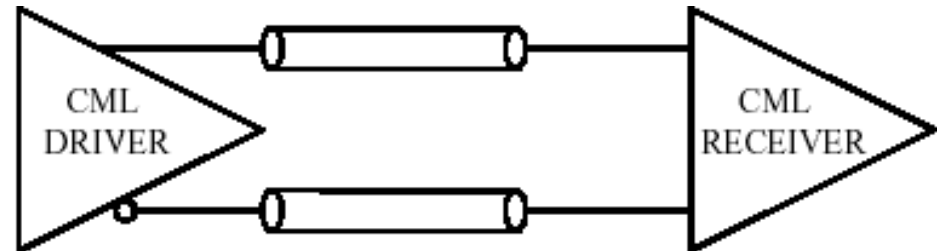
CML电路输入结构

CML输入阻抗为 $50\ \Omega$ ，容易使用。输入晶体管作为射随器，后面驱动一差分放大器。

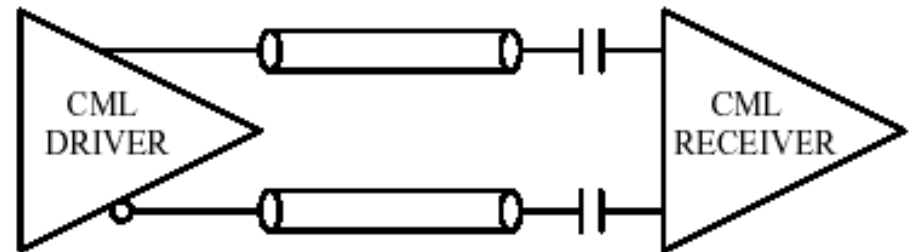


CML电路的互连

因为在CML电路内已经集成了匹配（偏置）电阻，所以CML电路之间的互连就很简单。如果是直耦，就不需要外围元件；交流耦合时用两个耦合电容就行了。



(a) DC-coupling between CML and CML



(b) AC-coupling between CML and CML

LVDS电路

LVDS (low-voltage differential signaling)

即低电压差分信号电路

它的优点是：

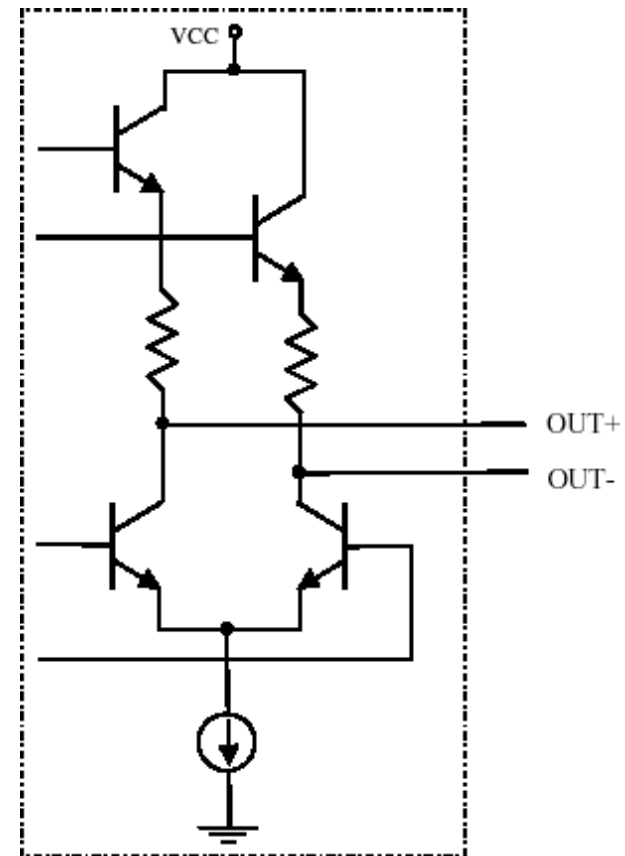
1. 信号摆幅更小，使它具有更好的噪声性能，与ECL、CML电路相比功耗最低；
2. 因为信号的摆幅小，使LVDS电路可在2.5V的低电源电压下工作；
3. 允许输入共模电压范围宽，从0.2V到2.2V。

LVDS输出电路结构

LVDS电路是以电流源
(3.5mA) 方式差分输出，
输出阻抗是100 Ω 。

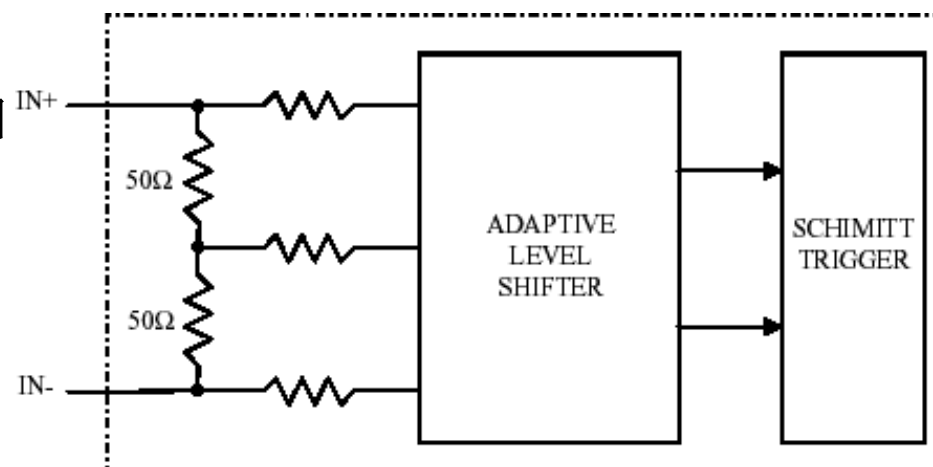
LVDS当前执行标准：

TIA/EIA (Telecommunications
Industry Association/Electronic
Industries Association)
ANSI/TIA/EIA-644-A (LVDS)



LVDS输入电路结构

IN+与IN-输入差分阻抗为 $100\ \Omega$ ，输入级还包括一个自动电平调整电路，将共模电压调整为一固定值；其后是具有滞回特性的施密特触发器；再后就是差分放大器。



ANSI/TIA/EIA-644 (LVDS) standards

Parameter	Description	Min.	Max.	Units
V_{OD}	Differential output voltage	247	454	mV
V_{OS}	Offset voltage	1.125	1.375	V
V_{OD}	Change to V_{OD}		50	mV
V_{OS}	Change to V_{OS}		50	mV
I_{SA}, I_{SB}	Short circuit current		24	mA
tr/tf	Output rise/fall times (200 Mbps)	0.26	1.5	ns
	Output rise/fall times (<200 Mbps)	0.26	30% of tui†	ns
I_{IN}	Input current		20	μA
V_{TH}	Receive threshold voltage		+100	mV
V_{IN}	Input voltage range	0	2.4	V

† tui is unit interval (i.e. bit width).

Note: Actual datasheet specifications may be significantly better.

LVDS电路的互连

LVDS电路和CML电路一样，也是芯片内部已经集成了 $50\ \Omega$ 匹配阻抗和偏置，所以LVDS电路之间互连也是与CML电路互连相同。

不同电路接口之间的互连

不同型号的电路之间互连，由于它们的输入、输出的共模电压都有差别，采用电容耦合传输是最简便的方法。

采用电容耦合方式同时也要考虑输入端和输出端各自的偏置和端接。

参考资料

1. *中国集成电路大全 ECL 集成电路*
国防工业出版社 1986年2月
2. *LVDS、PECL 和 CML 介绍*
Maxim 应用笔记 HFAN-1.0
3. *Termination of ECL Logic Devices*
ON Semiconductor 应用笔记 AND8020/D
4. *MECL system design handbook*
ON Semiconductor 应用笔记 HB205/D Rev.1A.
5. *LVDS Owner's Manual Low-Voltage Differential Signaling*
3rd Edition, Spring 2004 National Semiconductor