

浙江大学

硕士学位论文

Sigma-Delta DAC中插值滤波器的研究与实现

姓名：陈磊

申请学位级别：硕士

专业：微电子与固体电子学

指导教师：韩雁

20070501

摘要

本文的内容是数字音频系统的 Sigma-Delta 数模转换器 (DAC) 中插值滤波器的研究与设计。

近些年, 音视频已经进入了数字时代, CD、DVD、MP3 等大量数字电子设备进入市场, 成为消费电子的热点。同时随着超大规模集成电路技术的发展, 在单片电路上集成复杂的数字信号处理能力已经成为可能, 因此研究音频系统中的 DAC 芯片具有很大的现实意义。

本文从 Sigma-Delta DAC 的原理出发, 详细分析了插值滤波器的结构以及在 Sigma-Delta DAC 中的作用, 同时根据 Sigma-Delta 调制器的要求, 设计了一个过采样率为 64 倍的插值滤波器。插值滤波器采用半带滤波器、1/4 带低通滤波器和采样保持电路三级级联的结构。设计从系统分析开始, 建立插值滤波器的三级级联整体模型, 通过权衡三级之间的通阻带频率、通带波纹和阻带衰减等参数, 优化了插值滤波器的系数, 整个滤波器只使用了 67 个系数, 面积上得到了充分的优化。在完成了插值滤波器的 Verilog 硬件描述之后, 还进行了 FPGA 的验证, 从而保证了设计的硬件可实现性。最后, 设计按照标准的 ASIC 设计流程, 进行了综合、自动布局布线等步骤, 完成了最终的设计。

本芯片设计完成之后, 在上海中芯国际流片, 采用的是 0.18 μm 数模混合信号、电源电压 3.3/1.8V、双阱、六层金属的工艺。芯片大小为 $1.389 \times 1.452 \text{mm}^2$ 。芯片还进行了封装和测试, 测试结果基本满足设计要求, 同时也对针对芯片的不足之处提出了修改意见。

关键字: Sigma-Delta DAC; 插值滤波器; 插零算法; 系数优化; 信噪比;

Abstract

The research and design of the interpolation filter used in Sigma-Delta Digital to Analog Converter (DAC) is introduced in the paper.

In recent years, audio and video has entered the digital era, CD, DVD, MP3 and other digital electronic equipment become hot in the consumer electronics market. Meanwhile, along with VLSI technology, on one single chip integrated complexity of the digital signal processing capabilities has become possible, the study on the audio system DAC chip has great practical significance.

The paper detailedly analysis the interpolation filter structure and the role based on the principle of Sigma-Delta DAC, and according to the Sigma-Delta Modulators, design the interpolation filter with 64 times oversampling rate. The interpolation filter is consisted of Halfband filter, 1/4 Lowpass filter and sample-hold circuit. The design begin from the system simulation, the three cascade structure is established, through the balance of the passband and stopband frequency, passband ripple, stopband attenuation and other parameters, greatly optimized the filter coefficients, the whole filter only use 67 coefficients, the area has been fully optimized. After the Verilog hardware description of the interpolation filter, FPGA verification thus ensure the hardware realization of the design. Finally, the synthesis, automatic placement and routing is doing to finish the final design.

The chip has been manufactured using 0.18 μm CMOS mixed signal technology (3.3/1.8V voltage, double well, six layers of metal). Chip size is $1.389 \times 1.452 \mu\text{m}^2$. Measured performance meets the design target, also the revisions is put forward according to the tested results.

Keyword: Sigma-Delta DAC; Interpolation Filter; Algorithm of Inserting Zero; Coefficient Optimized; SNR;

第一章 绪论

1.1 课题背景及意义

科学技术的进步，特别是半导体工艺技术的快速发展，使得电子产品及元器件的性能不断更新，它们之间总是相互促进、相辅相成。新型产品的开发对元器件提出新要求，促使新型元器件的开发；同样，新型元器件的发展与改进给产品开发提供了极好的条件。

数模转换器(Digital to Analog Converter)，简称 DAC 是一种将输入的数字信号转换成模拟信号输出的电路或器件，它被广泛地应用在信号采集和处理、数字通信、自动检测、自动控制 and 多媒体技术等领域。

工业生产以及科学研究中，需要对一些系统参数进行采集、加工和控制。它们往往是非电的模拟量，例如声、光、磁、热和机械参数等。为了使得电子技术能够处理这些信号，先要通过传感器把这些非电信号变换为相应的电信号，通过模数转换器将模拟信号转换成数字信号。数字信号只记录了对应模拟量时间上离散点的值，这样可以在通讯中发展出时分复用技术，充分利用传输设备传输更多的信息。而且，数字信号属于高保真信号，对电磁干扰，噪声，器件参数变化不敏感，电路容易实现。随着数字技术的迅速发展和成熟，尤其是微处理器及专用数字处理芯片的迅速发展和广泛应用，使得数字信号的大量存储、快速处理成为很容易的事，因而用数字技术处理模拟信号已越来越受到重视。当数字处理单元完成对数字信号的处理之后，需要通过数模转换器将数字信号还原成原来的模拟信号，从而完成整个信号处理的过程。整个数据处理的过程是先把模拟电信号变换为数字信号(ADC)，再利用数字技术对数字信号加工处理(DSP)，处理结果根据需要再变换为模拟信号(DAC)，以适应后面显示或执行的要求，实现对模拟信号的显示或控制。

数模转换器具有和模数转换器相对应的基本功能。模数转换器使数字系统能从模拟电子系统获取与模拟信号有单值函数关系的数字信号，而数模转换器则可以把数字系统处理输出的数字信号结果变为对应的模拟信号，回送给模拟系统，以实现模拟系统工作状态的控制。因此，数模转换器是数字电子系统和模拟电子

系统之间的常用接口电路，图 1.1 为典型的信号处理框图。

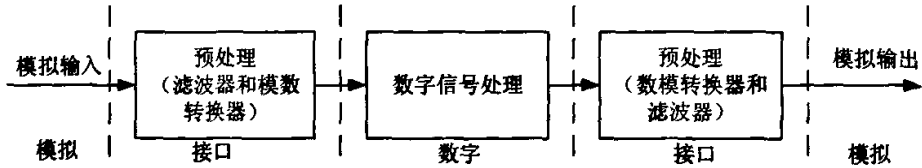


图 1.1 典型的信号处理框图

随着计算机技术、多媒体技术、信号处理技术、微电子技术的发展，电子技术的应用已经逐渐渗透到军事和民用领域的各个角落，不断推出先进的电子系统。在现代先进的电子系统前端和后端都要用到高性能（包括高分辨率、高速、低功耗、小面积等等）的模数转换器和数模转换器，以改善数字处理技术的性能，特别是诸如雷达、声纳、高分辨率视频和图像显示、军事和医疗成像、高性能控制器与传动器，以及包括无线电话和基站接收机在内的现代数字通讯系统。

ADC 及 DAC 器件的发展与广泛的应用也和数字技术发展分不开的，另外，与微处理器、数字信号处理器及 PC 的发展、普及及应用有极大的关系。过去，ADC 及 DAC 主要应用于数据采集系统、工业过程控制、测量及分析等领域。近年来，数字技术进入音频及视频领域，特别是 CD、VCD、DVD 及家庭影院进入寻常百姓家，各种便携式播放机（MP3、MD）更为年轻人青睐；无线数字通信（如手机）发展神速，数码相机有取代传统相机的趋势，车载数字音响也不断增加。总之，数字技术的快速发展和应用领域越来越宽，使 ADC 及 DAC 器件也相应获得较快的发展与进步。这些都体现在性能不断提高、满足便携式的需要及价位不断降低。

1.2 数模转换器简介及特性

1.2.1 数模转换器概述

数模转换器（DAC）在数字系统中的应用如图 1.2 所示。DAC 的输入是一个码字（digital word），它由数字信号处理系统产生的并行二进制信号组成。利用基准电压，这些并行二进制信号被转换成等价的模拟信号。模拟输出信号经过

滤波和放大后被应用于模拟信号处理系统中，尽管模拟的输出可以是电压或电流，但是大部分的 DAC 都是电压输出。

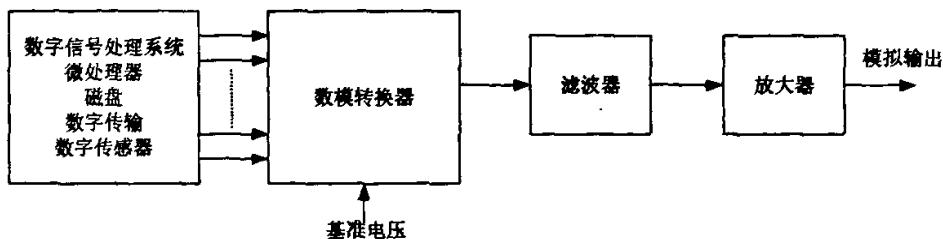


图 1.2 用于信号处理的数模转换器

一个电压输出的 DAC 可以由一个 N 位的码字 $(b_0, b_1, b_2, \dots, b_{N-2}, b_{N-1})$ 和一个基准电压 V_{REF} 组成。 b_0 是最高有效位 (MSB)， b_{N-1} 是最低有效位 (LSB)。 因此输出电压 V_{out} 可以表示成：

$$V_{out} = KV_{REF} \left(\frac{b_0}{2^1} + \frac{b_1}{2^2} + \frac{b_2}{2^3} + \dots + \frac{b_{N-1}}{2^N} \right) \quad (1-1)$$

其中， K 是比例因子。

数模转换器可按照处理过程中信号量采样频率是否变换来进行分类。 图 1.3 给出了 DAC 的基本分类。

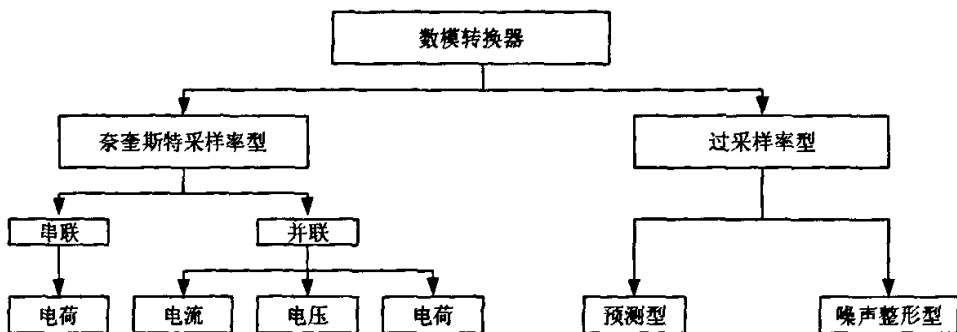


图 1.3 DAC 的分类

其中， 奈奎斯特采样率型 DAC 是基于传统的信号处理的方式， 即采样频率必须大于两倍信号谱的最高频率， 其实现较为简单， 但是由于固有的量化噪声，

奈奎斯特采样率型 DAC 的有效位数没有办法做得很高，而过采样率型的 DAC 则是在信号处理的过程中，提高信号的采样率，通过噪声整形等方式将信号固有的量化噪声整形到高频处，从而可以实现高精度的 DAC。以下简单介绍这两大类的 DAC。

1.2.2 奈奎斯特型 DAC¹

奈奎斯特型 DAC 可以是串行的，也可以是并行的。串行 DAC 一次只能转换 1 位的模拟输出，因此需要的转换时间为 NT ，其中 N 是 DAC 的位数， T 是转换一位输出所花的时间。并行 DAC 可以同时转换多位，因此总转换时间位 T 。同时更进一步的分类是根据缩放方法划分的。三种方法分别是电流按比例缩放、电压按比例缩放和电荷按比例缩放。

电流按比例缩放 DAC

电流按比例缩放 DAC 通常将基准电压 V_{REF} 转换成一组二进制的加权电流。这些电流通过一个反向运算放大器来产生模拟输出电压 V_{out} ，如图 1.4 所示。输出电压表示为：

$$V_{out} = -R_F(I_0 + I_1 + \dots + I_{N-1}) \quad (1-2)$$

其中，电流 I_0, I_1, \dots, I_{N-1} 是二进制加权电流。

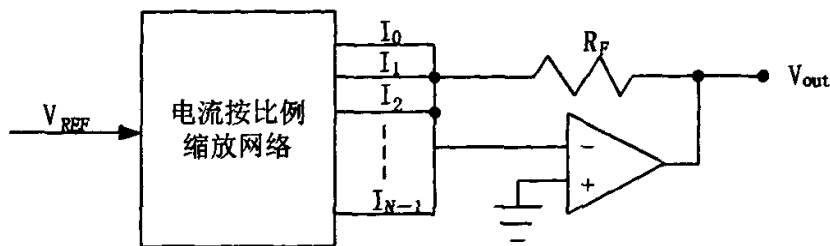


图 1.4 电流按比例缩放 DAC

电压按比例缩放 DAC

电压按比例缩放 DAC 将基准电压 V_{REF} 转换成一组 2^N 个电压值，他们可根据输入码字被译码成单个模拟输入电压。图 1.5 给出了一个电压按比例缩放 DAC 的

基本框图。译码网络仅仅是把 V_1, V_2, \dots, V_{2^N} 中的任意一个和 V_{out} 相连。

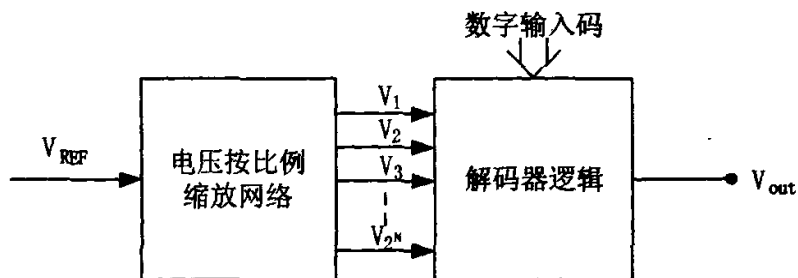


图 1.5 电压按比例缩放 DAC

电压按比例缩放通常是使用连接在 V_{REF} 和地之间的串联电阻选择性地获得极限值之间的电压。对一个 N 位转换器，电阻串至少要有 2^N 段。根据不同的要求，这些段可以全部相等或者段的末尾可以是部分值。

由于电压按比例缩放 DAC 的结构很规则，因此很适合于 MOS 工艺。这种结构的一个优点是：由于每个抽头的电压值都不可能低于下面的抽头，因此保证了单调性。但是随着位数的提高， 2^N 个电阻串变得难以实现，因此电压按比例缩放 DAC 虽然有较好的单调性，但是无法实现高精度的位数。

电荷按比例缩放 DAC

电荷按比例缩放 DAC 的工作原理是将电容阵列存储的总电荷进行二元划分。这个过程使用电容衰减基准电压的方式来实现的。它的结构非常简单，并且是一个有效的数字控制电压衰减器。电荷按比例缩放 DAC 的另一个优点就是它和开关电容电路相兼容。

图 1.6 给出了电荷按比例缩放 DAC 的基本实现方法。整个转换器采用了二相非重叠时钟。在 Φ_1 期间阵列里所有电容的两端接地。接着，在 Φ_2 期间，对应位为 1 的电容与 V_{REF} 相连，而对应位为 0 的仍然接地。在此期间，DAC 的输出有效。

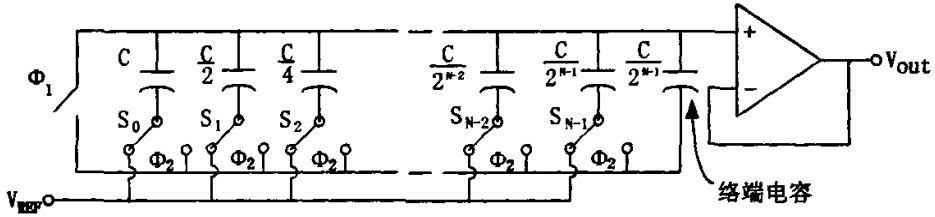


图 1.6 电荷按比例缩放 DAC

产生的结果可以描述为与 $V_{REF}(C_{eq})$ 相连的电容中的电荷与总电容 (C_{tot}) 中的电荷相等, 表示为:

$$V_{REF}C_{eq} = V_{REF}(b_0C + \frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_{N-1}C}{2^{N-1}}) = C_{tot}V_{out} = 2CV_{out} \quad (1-3)$$

从式中可以求出 V_{out} 为:

$$V_{out} = [b_02^{-1} + b_12^{-2} + b_22^{-3} + \dots + b_{N-1}2^{-N}]V_{REF} \quad (1-4)$$

电容的精度和所需要的面积都是限制位数的因素。精度是和电容比值相关的。MOS 工艺中的电容比值误差可以低至 0.1%。如果电容比值能够达到这种精度, 那么图 1.6 所示的 DAC 就可以达到 10 位的精度。那么 MSB 和 LSB 电容之间的比为 512: 1, 从面积的角度来看是不希望的。而且 0.1% 的电容比值仅适用于比值接近 1 时。当比值增大时, 电容精度会减小, 因此依旧无法实现高精度。

1.2.3 过采样型 DAC

与奈奎斯特 DAC 有所不同, 过采样型 DAC 的采样频率远远高于信号的奈奎斯特频率 (故称 Oversampling)。图 1.7 表示了两类 DAC 的不同。

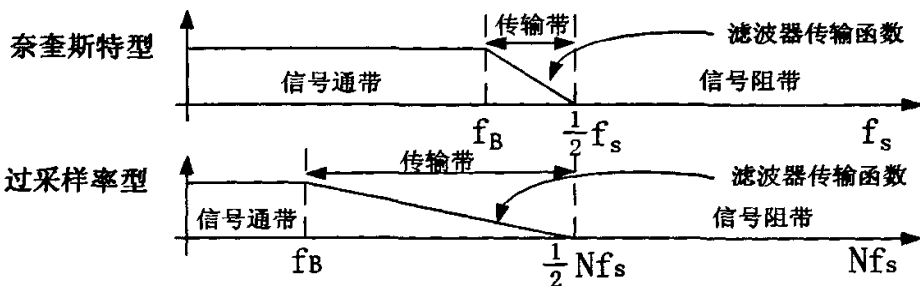


图 1.7 两种不同类型的 DAC

一个典型的过采样率型 DAC 如图 1.8 所示，在系统的前端（包括数字的插值滤波器 IF 和噪声整形环路 NL）为数字电路，而输出级（内部的 DAC 以及重建滤波器）则是模拟电路²。

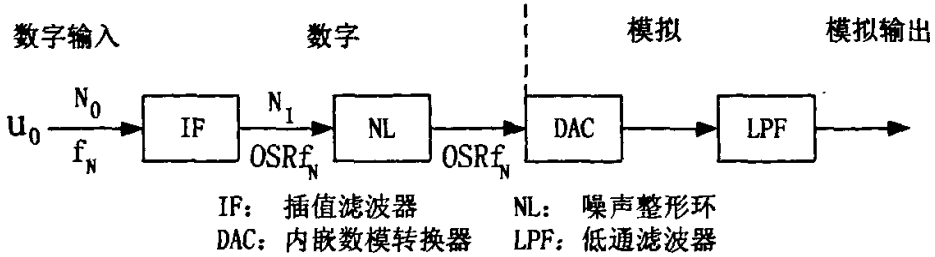


图 1.8 过采样型 DAC

信号经过系统处理之后的频谱如图 1.9 所示。输入信号是采样率为 f_N 字长为 N_0 的多位数据流（典型的位数是 15—24 位），其频谱如图 1.9(a)。

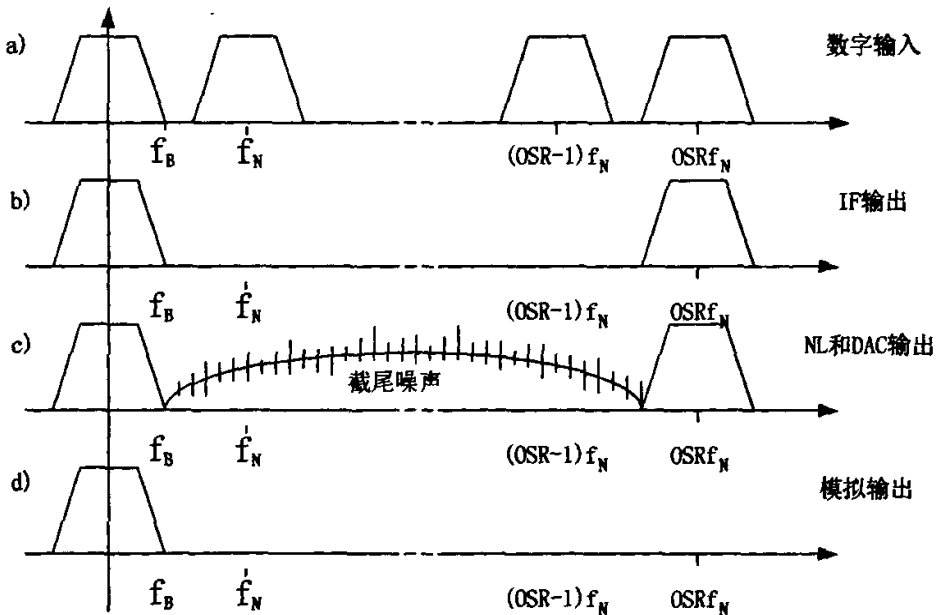


图 1.9 信号处理频谱

插值滤波器的作用主要是：第一、将信号的采样率提高 OSR 倍（ OSR 即过采样率），从而保证后期的噪声整形；第二、抑制信号在 $f_N, 2f_N, \dots, (OSR-1)f_N$ 上的

影像,从而抑制进入噪声整形环路上信号的带外能量。这可以提高噪声整形环路的动态范围,因为基带信号没有受到影响而信号倍频影像得以抑制;同时它还减轻了输出级模拟滤波器的压力,其同样也需要抑制信号的倍频影像。理想的插值滤波器输出信号如图 1.9(b)所示。此时信号的位数和输入信号的位数是一样的。

噪声整形环路则将信号的字长降低(1-6位),如果 NL 输出为单 Bit 信号, NL 的结构相对比较简单,但是对于后面系统的线性度要求很高;如果采用多 Bit 信号, NL 结构较为复杂,但是可以保证系统的线性度。无论那种处理方式, NL 都引入了截尾噪声,其频谱如图 1.9(c)所示。

系统的下一级模块为内嵌的 DAC。正如前面所讨论的,内嵌的 DAC 可能是 1Bit 的,这种情况下,输出是 2 阶的模拟信号。一阶 DAC 系统结构简单,但是它对线性度要求很高(尽管实际中有些方法可以获得较好的线性度),但是 1Bit DAC 的高转换速率(slew rate)和高的带外能量使得后端的模拟低通滤波器的设计变得十分的困难;相反地,对于多 Bit 的 DAC,由于需要增加额外的电路来滤波以及减少 DAC 的非线性误差,从而使得 DAC 较为复杂,但是它降低了模拟低通滤波器的设计难度。通常,在综合考虑复杂度、芯片面积以及功耗等因素之后,大部分的设计都选用的是多 Bit 的结构。

理想的情况下, DAC 可以没有任何损耗地将数字电路转换成模拟电路,因此 DAC 输出的频谱和 NL 的输出是一致的,如图 1.9(c)所示。

最后,模拟低通滤波器是用来抑制信号带外的噪声能量的,因此它的频谱如图 1.9(d)所示。同样经过低通滤波器之后,数字信号转换成了模拟信号。

以下简单介绍几种常用的过采样型 DAC 的结构:

误差反馈结构(Error Feedback)

误差反馈结构是 1 Bit 结构的,其结构如图 1.10 所示:

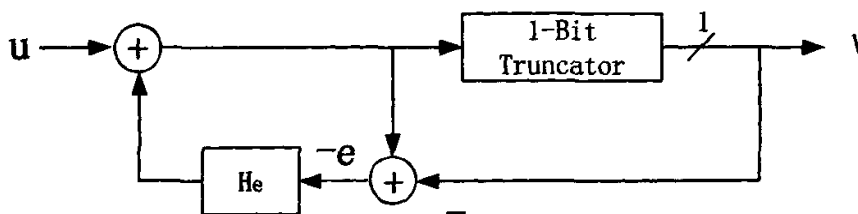


图 1.10 误差反馈结构

这里，高位作为反馈信号，而被截尾的是低位（引入了截尾噪声 $e(n)$ ），用于滤除截尾噪声的环路的滤波函数 H_e 在反馈回路上。在 DAC 中，这个部分为数字电路，因此这个部分可以较好地实现。

根据线性系统的原理，输出信号 $V(z)$ 可以表示为：

$$V(z) = U(z) + [1 - H_e(z)]E(z) \quad (1-5)$$

对于一阶环路，误差反馈结构很简单，例如环路滤波器为一个延迟单元，即 $H_e(z) = z^{-1}$ ，那么系统的噪声传输函数（NTF）为 $1 - z^{-1}$ 。同样，只要解决好系统的稳定性问题，高阶的误差反馈结构也可以实现。

级联结构（MASH Structure）

级联结构可以获得高阶的噪声整形，同时不会引起内部稳定性的问题，图 1.11 所示的是两级级联结构的 DAC。在这个典型的系统中，每一级都包含两阶的环路滤波器，这样整体的噪声整形为四阶，这可极大地提高级联系统的稳定性。

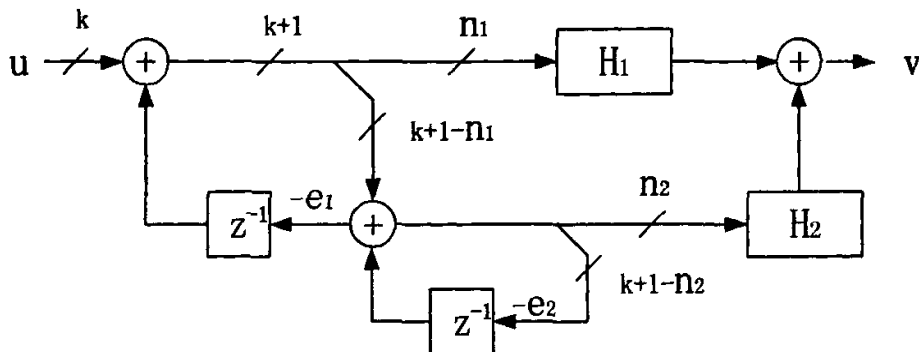


图 1.11 MESH 结构

在这个结构中，前置滤波器 H_1 通常是用来作为第二级的信号传输函数 (STF_2) 的，通常 STF_2 是一级或者多级的延迟单元，因此 H_1 可以比较容易的实现而不会引起 v_1 字长的变化。而 H_2 是作为第一级的噪声传输函数 (NTF_1)，它使得 v_2 增加了 n_2 位。这样一个结构，其输出 $v(n)$ 是多位的，因此后面需要一个多位的内部 DAC。

1.3 国内外研究现状

目前国外有很多著名的半导体厂家在生产 DAC 和 ADC, 其中最著名的厂家主要有: 德州仪器 (TI)、模拟器件公司 (Analog Device Inc: ADI)、国家半导体 (National Semiconductor), 这三家公司都有成熟的技术和完整的产品线, 从低端的 10bit 到高端的 24bit, 从 PCM 结构到 Sigma-Delta 结构。除此之外, 美信 (Maxim)、飞思卡尔 (Freescale)、仙童 (Fairchild)、日本电气 (NEC)、三星 (Samsung) 等公司也有 ADC 和 DAC 的产品。表 1.1、1.2 列举了德州仪器以及模拟器件公司的一些相关产品。

表 1.1 TI 公司的 DAC 产品介绍

型号	分辨率 (位)	结构	电源电压 (V)	采样频率 (KHz)	功耗 (mW)	1K 片售价 (美元/片)
PCM56	16	PCM	4.75	666	200	10.35
PCM2707	16	PCM	4.35-5.25	48	175	3.4
PCM1602	24	Sigma-Delta	4.5-5.5	192	171	3.85
DF1706	24	Sigma-Delta	3-3.6	192	99	11.65
PCM1704	24	Sigma-Delta	4.75-5.25	768	175	24.1

表 1.2 ADI 公司的 DAC 产品介绍

型号	分辨率 (位)	结构	电源电 压(V)	采样频率 (SPS)	功耗 (mW)	1K 片售价 (美元/片)
AD1851	16/18	PCM	5/3	12.5M	100	6.98
AD1857	16/18/20	Sigma-Delta	5V	11.28M	160	5.85
AD1865	18	Sigma-Delta	5V	16×Fs	225	14.77
AD1833A	24	Sigma-Delta	5V	192K	225	7.5
AD1955	24	Sigma-Delta	5V	192K	8.64	6.78

相比国外成熟的技术, 国内模数转换器和数模转换器的研发比较晚, 但是这

几年越来越多的厂商开始投入大量的资金和人力从事这方面的研究，在单片、混合及模块集成技术方面都取得了一定的进步，目前已研制出从 8 位到 16 位的多种不同类型的模数转换器和数模转换器。主要的几个典型产品的参数为：8 位数模转换器的转换时间为 400ns(如 X1001)，10 位数模转换器的转换时间小于 25us(如 SAD571)，12—16 位的数模转换器的转换时间也处于 us 量级。国内规模比较大几家 IC 设计生产厂家，包括杭州士兰微电子，无锡华润矽科等，都有研发 ADC 和 DAC 产品，但是这些 DAC 和 ADC 大多只作为旗下 MCU、MP3 等产品的一个子系统，并没有推出单片的 ADC 和 DAC，而且这些 DAC 和 ADC 的技术指标无论是在精度上还是速度上和国外的产品都还有一定的差距。

通过和国外相应产品的性能比较，可以看出国内的 DAC 水平和国外先进产品之间性能还有很大的差距，而且国外优质 DAC 的价格不菲。所以，自行设计生产高精度的 D/A 器件对于我国信号处理系统的发展有较大的意义。目前半导体生产工艺技术的不断进步，2000 年后，国内也迅速建立了十多家亚微米、深亚微米的工艺线，给我国自行设计有自己知识产权的 A/D、D/A 提供了便利的流片条件。

从现代信息技术发展可以看出，模数转换器以及数模转换器的主要发展趋势是单片集成，以硅为主导发展技术；低电源、低功耗、高速、高精度 A/D、D/A 是主导发展产品，其中 16 位~24 位的，工作频率为 40KHz~600KHz 以及 100~200MHz 的 DAC(主要应用于音视频)以及 8~10 位 10GHz 的高速 DAC(主要应用于军事领域)将是今后的热点。近年来，A/D、D/A 转换器的市场成稳步增长的发展趋势，他们在现代军用和民用电子系统中均显示出其重要的地位，特别是这几年视频音频已经进入了数字时代，CD、DVD、MP3 等大量数字电子设备进入市场，成为消费电子的热点，更加推动了模数转换器和数模转换器的消费热潮。

1.4 本论文的主要研究工作

本课题就是基于 SMIC CMOS 0.18 um 工艺的、主要应用于音频领域的高精度 DAC 设计，基本的设计指标为：

1. 分辨率：18 位

2. 采样频率：44.1KHz
3. 信号带宽： 20KHz
4. 插值率： 64 倍 oversampling
5. 工作频率： 2.822MHz
6. 工艺： SMIC 0.18um Mixed-signal
7. 结构： Delta-Sigma，其中调制器采用 CIFF（级联积分器前馈）结构
8. 信噪比： 97dB，其中插值滤波器部分要求信噪比 107dB

DAC 的整体结构如图 1.12 所示，数字音频信号首先经过插值滤波器，实现频率的加倍，然后由 Sigma-Delta 调制器对数据信号进行调制，最后由模拟低通重建滤波器对数字信号进行重构还原，实现数模的转换。

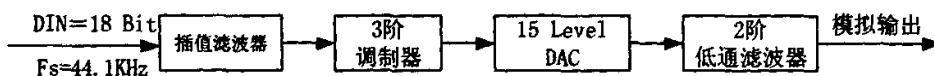


图 1.12 DAC 整体结构

在结构图中，可以看到插值滤波器位于整个 D/A 的最前端，它的主要作用是给调制器提供过采样的数据流，同时保证通过数据流要有足够的信噪比，从而保证后端的调制器和低通滤波器正常工作。插值滤波器的插值有很多的算法，对于数字音频来说，插零算法可以满足要求也比较经济合算³。

第二章 理论基础

数字信号处理具有精度高、灵活性高、可靠性强以及易于大规模集成等优点，信号插值实际是一个数字信号处理的过程，充分利用数字信号处理的优点来实现插值滤波器是很有好处的。因此本章从数字信号处理的角度，分析了采样率变换的数学模型，并根据设计的需求优化了插值滤波器的结构，从而为后面的系统设计打好了理论基础。

2.1 采样率变换的基本概念

过采样 Sigma-Delta DAC 主要是由数字插值滤波器与 Sigma-Delta 调制器两个部分组成。在 Sigma-Delta DAC 中，需要使用数字插值滤波器将以奈奎斯特采样率输入的的数字信号进行插值，变化成过采样的数字信号送给数字 Sigma-Delta 调制器进行处理，从而得到 Sigma-Delta 位流。插值是采样率变换过程，由于这种采样率的变换都是针对模拟信号经采样后形成的采样数字信号进行的，因此通常称这种采样率的变换过程为重采样或者二次采样。

设 $x(n)$ 是以采样周期 T 从模拟信号 $x_a(t)$ 得到，即

$$x(n) = x_a(t) \quad (2-1)$$

采样频率为 f_s ，所谓采样率转换是指将 $x(n)$ 转换成以采样周期 T_1 对 $x_a(t)$ 采样得到的另一个序列 $y(m)$ 的过程。相应的采样频率为 $f_{s1} = 1/T_1$

$$y(m) = x_a(mT_1) \quad (2-2)$$

当 $f_s > f_{s1}$ 时，采样率减少，称为抽取。当 $f_s < f_{s1}$ 时，采样率增加，称为插值。实现采样率变换在一种最容易理解的方法是先恢复成原模拟信号 $x_a(t)$ ，然后再以 T_1 对其重新进行采样得到 $y(m)$ 。这一过程的处理框图如图 2.1 所示。图 2.1 中 $x_1(t)$ 表示 $x(n)$ 通过理想 DAC 还原成的采样数据， $x_1(t) = x_a(nT)$ ，经过模拟低通滤波器 $h(t)$ 平滑后得到 $x_a(t)$ ，根据奈奎斯特采样定理， $h(t)$ 的截止

频率 f_c 应小于或等于二分之一采样频率 $f_c = 1/(2T)$ ，通过模拟低通滤波器 $h_1(t)$ 将 $x_a(t)$ 的频带限制在 $|f| \leq 1/(2T_1)$ 以内，然后进行重采样。

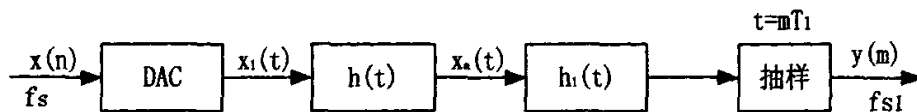


图 2.1 模拟方法实现采样率变换的框图

显然这种方法实现起来十分麻烦，而且理想的 DAC 也难以实现，因此在实际中很少使用上述的结构，但它说明了在采样率转换过程中要进行滤波这个事实。

2.2 插值滤波器的数学推导

在实际的应用中，一般不希望转换的中间出现模拟过程，即不使用如图 2.1 中的 DAC，而是直接地利用数学的方法进行采样率的变换。

考虑采样率整数倍增加的情况，如果将采样率增加 L 倍，那么新的采样率和采样周期分别为： $f_{n1} = Lf_s$ ， $T_1 = 1/f_{n1} = T/L$ 。把一次采样信号 $x(n)$ 的采样率增加 L 倍意味着必需在 $x(n)$ 的每两个数据之间插入 $L-1$ 个新的采样值，因此采样率增加的过程在数学上就是插值的过程。有各种完成插值的算法，下面从信号频谱和滤波的角度进行说明³。

仍然假设 $x(n)$ 是从模拟信号按照采样率 f_s 采样得到的数字信号，现在要求得到一个新序列 $y(n)$ ，使它尽可能近似直接地以采样率 $f_{n1} = Lf_s$ 从原模拟信号 $x(n)$ 采样所得。以下从信号的频谱出发来说明怎样通过低通数字滤波器来实现这一过程。图 2.2(a) 中画出了序列 $x(n)$ 的数字频谱，它以 f_s 为周期重复频谱的，图 2.2(b) 表示当 $L=4$ ，即以采样率 $4f_s$ 对原模拟信号进行采样后的序列 $y(n)$ 的数字频谱，由于采样率的提高，一个周期的频谱被拉大，图 2.2(c) 表示的是在 $x(n)$ 相邻两个信号之间插入 $L-1$ 个 0 之后的数字频谱 $W(e^{j\omega})$ 。通过观察三者的数字频

谱 $X(e^{j\omega})$ 、 $W(e^{j\omega})$ 和 $Y(e^{j\omega})$ ，从 $X(e^{j\omega})$ 变换到 $Y(e^{j\omega})$ ，只需要将数列 $x(n)$ 先在相邻信号之间插入若干的零值，再通过一个以采样率 f_{s1} 来设计的数字低通滤波器，滤去高于 $f_{s1}/2$ 以上的频率分量就可以完成从 $X(e^{j\omega})$ 到 $Y(e^{j\omega})$ 的频谱变换，从而完成采样率的提高。

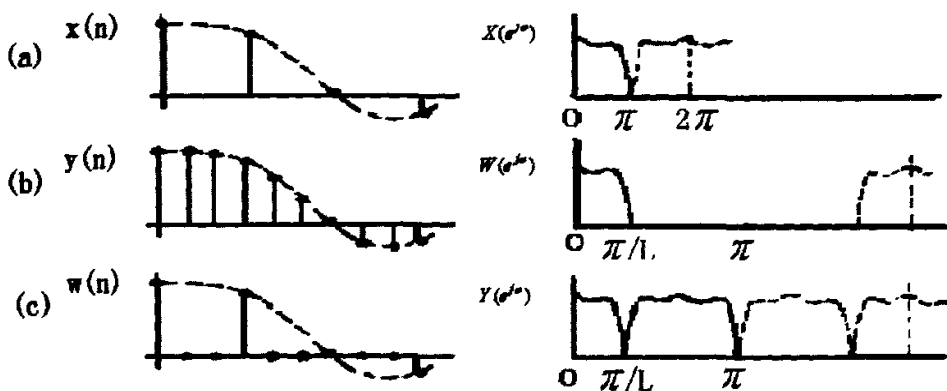


图 2.2 采样率增加的频谱示意图

综上所述，插值器系统由插值器和低通滤波器两个部分组成，如图 2.3 所示，其中 $h(n)$ 为低通滤波器， $\uparrow L$ 表示在 $x(n)$ 的两个相邻信号之间插入 $L-1$ 个零值。

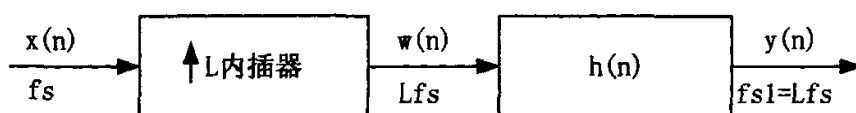


图 2.3 插值器框图

插零的插值过程可以用下面的数字信号处理方法予以证明。

根据插零算法的假设，有：

$$w(m) = \begin{cases} x\left(\frac{m}{L}\right) & m = \pm L, \pm 2L, \dots \\ 0 & \text{其他} \end{cases} \quad (2-3)$$

$w(m)$ 的 z 变换与 $x(n)$ 的 z 变换的关系为：

$$W(z) = \sum_{m=-\infty}^{\infty} w(m)z^m = \sum_{m=-\infty}^{\infty} x(m)z^{-mL} = X(z^L) \quad (2-4)$$

令 $z = e^{j\omega_1}$ ，求得 $w(m)$ 的频谱如下：

$$W(e^{j\omega_1}) = X(e^{j\omega_1 L}) = X(e^{j\omega}) \quad (2-5)$$

其中 $\omega_1 = 2\pi f / Lf_s$ ， $\omega = 2\pi f / f_s$

当 ω_1 在 $0 \sim 2\pi$ 变化时， ω 将在 $0 \sim 2\pi L$ 范围内变化，因此(2-5)式表明， $w(n)$ 的频谱以 π/L 为中心对 $x(n)$ 的频谱进行周期重复，重复周期为 $2\pi/L$ 。利用截止频率在 π/L 的理想低通滤波器对 $w(n)$ 进行滤波，以消去那些重复的频谱分量，因此理想低通滤波器的频率特性可表示为：

$$H(e^{j\omega_1}) = \begin{cases} G & |\omega_1| \leq \frac{\pi}{L} \\ 0 & \text{其他} \end{cases} \quad (2-6)$$

因此可以得到经过滤波之后的输出序列 $y(m)$ 的频谱为：

$$Y(e^{j\omega_1}) = H(e^{j\omega_1})X(e^{j\omega_1 L}) \quad (2-7)$$

将 (2-6) 式代入 (2-7)，可以得到：

$$Y(e^{j\omega_1}) = \begin{cases} GX(e^{j\omega_1 L}) & |\omega_1| \leq \frac{\pi}{L} \\ 0 & \text{其他} \end{cases} \quad (2-8)$$

由于从模拟信号 $x(t)$ 经理想采样获得 $x(n)$ 时，有：

$$X(e^{j\omega}) = \frac{1}{T} X(j\omega/T) \quad (2-9)$$

为了使 $Y(e^{j\omega_1})$ 在 $\omega_1 \leq \pi/L$ 范围之内能够完全等于 $X(j\omega/T)$ ，必需满足：

$$\begin{aligned} Y(e^{j\omega_1}) &= GX(e^{j\omega_1 L}) = \frac{G}{T} X\left(\frac{j\omega_1 L}{T}\right) \\ &= \frac{G}{L} \left(\frac{1}{T_1}\right) X\left(\frac{j\omega_1}{T_1}\right) \end{aligned} \quad (2-10)$$

比较 (2-9) 和 (2-10)，应有 $G=L$ ，即表明滤波器的增益等于插值比 L 。

根据以上分析, 对于采样率的增加, 在新的信号 $y(m)$ 的频谱中不仅包含了 $x(n)$ 的基带频谱, 还包含了这个频谱的周期重复, 必需采用低通滤波器 $h(m)$ 来滤除这些重复的镜像, 保证输出信号 $y(m)$ 中仅包含原信号的基带频谱, 同时还需要保证输出信号的幅度不发生变化, 因此滤波器的增益应该等于插值比 L , 于是得到低通滤波器的传输函数为:

$$H_d(e^{j\omega}) = \begin{cases} L & |\omega| \leq \pi/L \\ 0 & \text{其他} \end{cases} \quad (2-11)$$

其中 ω_1 为相对于新的采样频率 $f_{s1} = Lf_s$ 的归一化数字频率, 同样利用序列反傅立叶变换可以求得时域响应为:

$$h_d = \frac{\sin(\pi n/L)}{n\pi/L}, \quad n=0, \pm 1, \pm 2, \dots \quad (2-12)$$

通过以上的数学推导, 得出了插值滤波器的基本结构, 即插零模块和低通滤波器, 并且得到了低通滤波器的时域和频域的响应。

2.3 插值器的系统结构

根据采样率变换的基本原理, 实现采样数据插值, 依赖于数字低通滤波器来完成, 因此如何有效实现滤波过程就显得特别重要, 这里面涉及到以下几个方面的问题:

- (1) 数字滤波器类型的选择, 主要考虑究竟采用 IIR 滤波器还是 FIR 滤波器;
- (2) 滤波器的结构, 当滤波器的类型确定之后, 以何种结构形式来有效地实现滤波过程;
- (3) 在大转换比时, 特别是在 Sigma-Delta ADC 和 DAC 中常常使用, 采用多级转换来实现往往比较合适。

对于 IIR 滤波器, 由于存在输出对输入的反馈, 因此可以用比 FIR 滤波器较少的阶数来满足滤波器的指标要求, 但是 IIR 很难做到严格的线性相位, 而 FIR 可以严格地控制线性相位, 同时 FIR 滤波器主要采用非递归的结构, 在运算中比较稳定。对于 Sigma-Delta DAC 而言, 需要获得高保真的模拟与数字信号之间的

转换, 应该尽量避免相位的失真, 因此在插值滤波器中主要采用具有线性相位的 FIR 滤波器⁴。

FIR 滤波器的结构主要有: 横截型 (卷积型、直接型)、级联型、频率抽样型、快速卷积结构以及线性相位 FIR 滤波器结构。

FIR 滤波器的线性相位是非常重要的, 因为数据传输以及图像处理都要求系统具有线性相位, 而 FIR 滤波器由于它的冲激响应是有限长的, 因而有可能做成严格线性相位的。

如果 FIR 滤波器单位冲激响应 $h(n)$ 为实数, $0 \leq n \leq N-1$, 且满足以下的条件:

偶对称 $h(n) = h(N-1-n)$

奇对称 $h(n) = -h(N-1-n)$

那么其对称中心在 $n = (N-1)/2$ 处, 则这种 FIR 滤波器就具有严格线性相位, 假设 FIR 滤波器的单位冲激响应为 $h(n)$, $0 \leq n \leq N-1$, 且 $h(n)$ 满足以上任一种对称条件 (偶对称或者奇对称)。其系统函数为:

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n}$$

下面对 N 为奇数以及 N 为偶数两种情况分别加以讨论。

当 N 为奇数时

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n} = \sum_{n=0}^{\frac{N-1}{2}-1} h(n)z^{-n} + h\left(\frac{N-1}{2}\right)z^{-\frac{N-1}{2}} + \sum_{n=\frac{N-1}{2}+1}^{N-1} h(n)z^{-n} \quad (2-13)$$

在第二个 \sum 式中, 令 $n = N-1-m$, 再将 m 换成 n , 可以推出:

$$H(z) = \sum_{n=0}^{\frac{N-1}{2}-1} h(n)z^{-n} + h\left(\frac{N-1}{2}\right)z^{-\frac{N-1}{2}} + \sum_{n=0}^{\frac{N-1}{2}-1} h(N-1-n)z^{-(N-1-n)} \quad (2-14)$$

代入线性相位奇偶对称条件 $h(N-1-n) = \pm h(n)$, 可得:

$$H(z) = \sum_{n=0}^{\frac{N-1}{2}-1} h(n)[z^{-n} + z^{-(N-1-n)}] + h\left(\frac{N-1}{2}\right)z^{-\frac{N-1}{2}} \quad (2-15)$$

其中，方括号内的 \pm 分别表示偶对称和奇对称。 $h(n)$ 奇对称时，还有 $h(\frac{N-1}{2})=0$ ，则根据表达式，线性相位 FIR 滤波器直接结构的流图如图 2.3 所示，如果 $h(n)$ 为偶对称时 \pm 取 $+1$ ， $h(n)$ 为奇对称时取 -1 ，且 $h(\frac{N-1}{2})$ 处的连线断开。

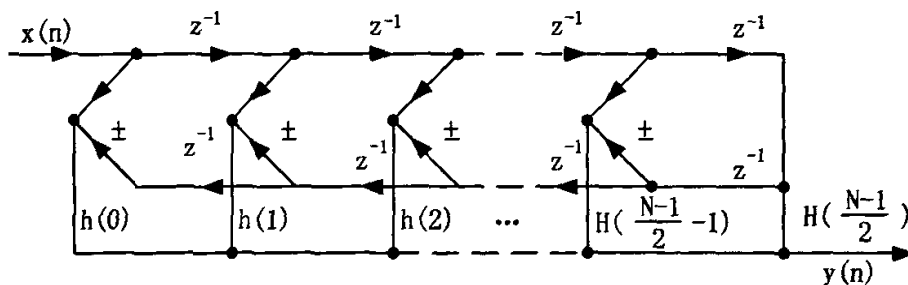


图 2.3 奇数线性相位 FIR 滤波器结构

当 N 为偶数时：

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n} = \sum_{n=0}^{N/2-1} h(n)z^{-n} + \sum_{n=N/2}^{N-1} h(n)z^{-n} \quad (2-15)$$

在第二个 \sum 式中，令 $n = N-1-m$ ，再将 m 换成 n ，可得：

$$H(z) = \sum_{n=0}^{N/2-1} h(n)z^{-n} + \sum_{n=0}^{N/2-1} h(N-1-n)z^{-(N-1-n)} \quad (2-16)$$

代入线性相位奇偶对称条件 $h(n) = \pm h(N-1-n)$ ，可得：

$$H(z) = \sum_{n=0}^{N/2-1} h(n)[z^{-n} \pm z^{-(N-1-n)}] \quad (2-17)$$

其中，方括号内的 \pm 分别表示偶对称和奇对称，则根据表达式， N 为偶数时，线性相位 FIR 滤波器的直接结构的流图如图 2.4 所示：

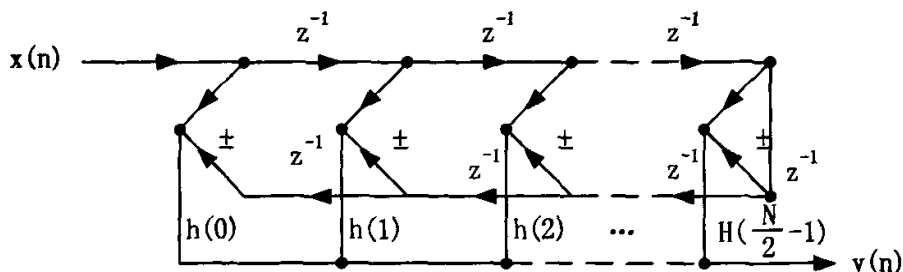


图 2.4 偶数线性相位 FIR 滤波器

由以上流程图可以看出线性相位 FIR 滤波器结构比一般直接型结构可以节省一半数量的乘法次数。这一点对于设计实现很有好处，在系统设计的讨论中，还将涉及这个问题。

2.4 多级插值

从实现插值滤波器的角度来说，最重要的两个指标一个是运算量，一个是占用的存储量（主要是指用于存储滤波器系数的存储量），Sigma-Delta DAC 是实时器件，如何在抽取过程中尽量减少运算量和存储量更是至关重要的。

设输入信号 $x(n)$ 的采样频率为 f_s ，输出信号的采样频率为 $F_s = Mf_s$ ，插值因子为 M ，那么插值滤波器运算为：

$$y(nM + i) = \sum_{k=0}^{P-1} h(jM + i)x(n - i), \quad i = 0, 1, \dots, L-1 \quad (2-18)$$

显然运算量与占用存储量都与滤波器的节数（或长度）成正比。在 Sigma-Delta DAC 转换器中，过采样比（即插值因子）很大时，相对于过采样率，滤波器的通带和过渡带都很窄，这使得滤波器的节数很大，运算效率很低，因此，在过采样 Sigma-Delta DAC 中，为了有效地实现抽样率转换，常常采用多级插值的方法。

多级插值的概念可以用图 2.5 来说明，原始的单级插值的方案如图 2.5(a)所示，现在将插值因子 M 分解成 l 个小的插值因子 M_l 的乘积：

$$M = \prod_{i=1}^l M_i \quad (2-19)$$

并在每个插值滤波器之前插入一个低通滤波器，使之构成一个独立的插值器，如图 2.5(b)所示。每一级的输出频率为 $F_i = M_i F_{i-1}$ 。

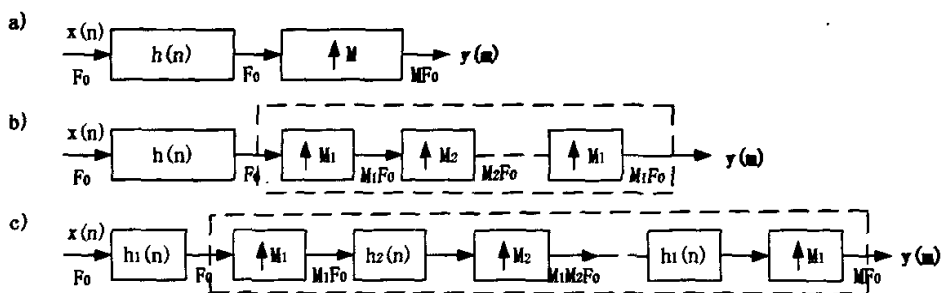


图 2.5 多级插值

看起来这样好像将问题复杂化了，但是实际由于滤波器分解成了多级，每一级滤波器的相对过渡带大大增加，相应每一级的滤波器的节数大为减少，因而可大大减少滤波的运算量与滤波器系数的存储量。

第三章 系统设计及实现

根据第二章的讨论，FIR 滤波器具有线性相位以及系数对称等众多优点，因此插值滤波器的设计中最常使用。本文的设计采用的是三级 FIR 滤波器级联的结构，从而实现了 64 倍插值。本章先分析了插值滤波器的设计指标，然后讨论了滤波器的系统设计方法以及硬件描述语言的实现。

3.1 插值滤波器的整体考虑

3.1.1 插值滤波器的指标

插值滤波器位于 Sigma-Delta DAC 的最前端，为 Sigma-Delta 调制器提供过采样数据流，其主要设计指标为：

- 1、分辨率： 18 Bit
- 2、信号带宽： 20 KHz
- 3、工艺： SMIC 0.18um Mixed-signal CMOS
- 4、插值率： 64 倍 oversampling
- 5、信噪比： 107 dB

设计的应用领域主要是高保真的音频类消费电子，高保真的音频所需要的数据位数为 16—24Bit，因此 DAC 的分辨率设定为 18 Bit；同样因为是音频的应用，而音频信号的频率基本都是在 20 KHz 以内的，所以插值滤波器的带宽设定为 20KHz；插值滤波器后端的 Sigma-Delta 调制器采用的是级联积分器前馈的结构，其需要过采样为 64 倍的插值数字信号流，因此过采样率为 64；在系统的信噪比上，插值滤波器的任务是将量化噪声均匀地分布到信号整个频域上，然后 Sigma-Delta 调制器利用噪声整形技术将低频段的噪声调制到高频段，从而实现高的信噪比，因此插值滤波器的信噪比设定为 107dB 较为合适⁵⁻⁶。

3.1.2 插值滤波器的结构

根据第二章的讨论，对于过采样率较大的插值滤波器，如果采用单级的结构，

根据插值的原理，需要一个多系数的滤波器来实现滤波，其实现起来比较复杂，也需要较多的硬件资源，因此在实现多倍插值的时候，往往采用多级插值的方式。本设计中 Sigma-Delta 的调制器需要 64 倍过采样率数据流，故插值滤波器采用三级级联插值的方式来实现。

第一级采用的是半带滤波器，实现两倍插值。作为整个插值滤波器的第一级，其决定了整个插值滤波器的性能，其参数指标上要留有足够余量，因此第一级滤波器系数的个数应该适当多取一点，考虑到半带滤波器具有一半的系数为 0 以及系数对称性等优点，使用它做第一级既可以增加系数的个数，从而很好地控制滤波器频谱的过渡带长度、通带波纹、阻带衰减等参数，又不会引起芯片面积大幅度地增大；第二级采用的是 1/4 带滤波器，实现四倍的插值。由于前端的半带滤波器很好地控制了滤波器的参数，因此，这一级的滤波器不需要很多的系数就可以确保插值的精度，面积上开销也比较容易控制；最后一级，采用的是 8 倍的采样保持电路，这一部分主要是利用时钟频率的变化，实现插值，它的结构比较简单，面积也不大。插值滤波器的整体结构如图 3.1 所示。

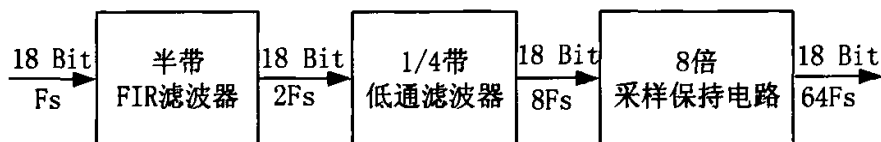


图 3.1 插值滤波器整体结构

3.2 插值滤波器的具体设计方法

3.2.1 半带滤波器的设计

半带滤波器是按照处理阻带和通带频率对称的 FIR 滤波器设计的。用 F_p 表示通带截至频率， F_s 表示阻带截至频率。根据定义，半带滤波器必须满足频率对称条件：

$$F_s = \frac{1}{2} - F_p \quad (3-1)$$

半带滤波器还必须满足幅度纹波条件：

$$\Delta p = \Delta s \quad (3-2)$$

因此半带滤波器的幅频响应特性如图 3.2 所示:

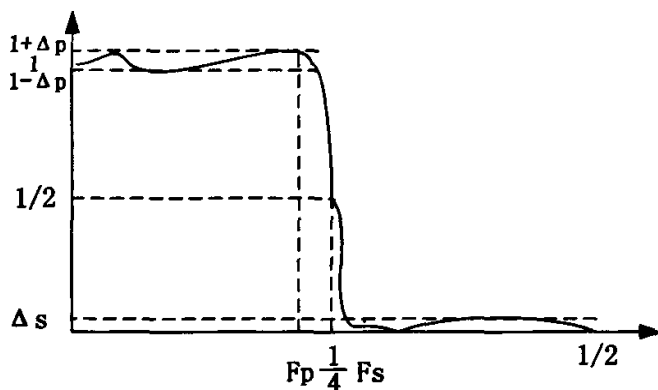


图 3.2 半带滤波器频谱

如前所述,半带滤波器位于整个插值滤波器的最前端,因此对于半带滤波器的设计需要留出足够的余量。需要处理的是采样频率 $f_s = 44.1\text{KHz}$ 的数字音频,根据奈奎斯特定律,被采样信号的频率不能超过 22.05KHz ,实际上大部分的数字音频的信号频率都在 20KHz 以内,因此半带滤波器通带的截止频率应该在 20KHz ,这样才可以完全处理音频信号;同时对于音频信号,通带内的波纹一般要小于 $0.06\text{dB}^{[3]}$,由于前后级滤波器的通带波纹是累加的,考虑到半带滤波器的系数比后级滤波器多,故设定半带滤波器的通带波纹为 0.02dB 。综合以上考虑,在 Matlab 中采用等波纹法设计该半带滤波器,希望采用尽可能少的系数来实现。在设计中先利用 Matlab 提供的最少系数的方法 (Minimum Order) 预产生一个半带滤波器⁶,然后根据本设计的具体需要调整生成的滤波器,从而得出符合要求的最优设计,如图 3.3 所示:

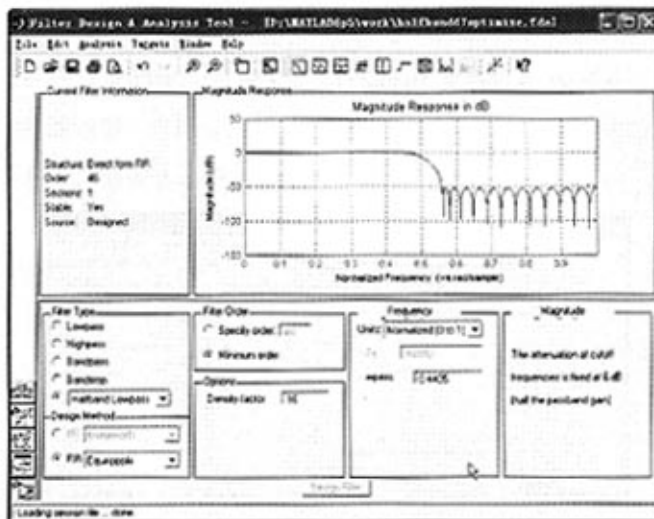


图 3.3 半带滤波器的设计

通过分析该半带滤波器的幅频响应（如图 3.4 所示），可以发现该滤波器的通带和阻带纹波均在 0.02dB 以内，阻带衰减达到了 48dB，通带的截至频率为 19.426KHz，指标均达到了设计要求，同时只使用了 47 个系数，设计上进行了充分的优化。

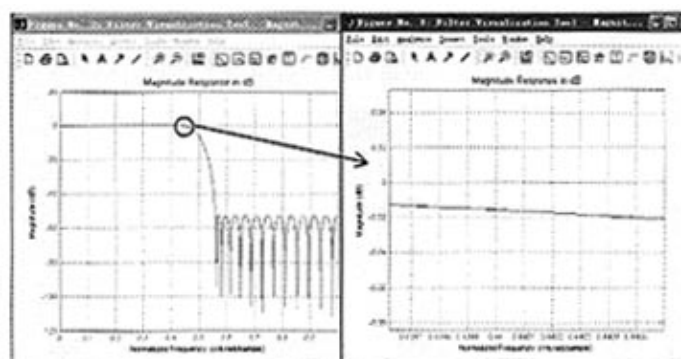


图 3.4 半带滤波器幅频特性

3.2.2 1/4 带滤波器的设计

第二级为一个 1/4 带低通滤波器，实现 4 倍插值。由于前级的半带滤波器在

通带内的纹波为 0.02dB，因此这一级的 1/4 带低通滤波器的通带波纹不能超过 0.04dB；同样其通带的截至频率也应该在 20KHz 左右。在 Matlab 中同样采用等波纹法设计该滤波器，同样先采用最小阶数方法进行设计，然后根据设计要求调整参数以及系数，如图 3.5 所示：

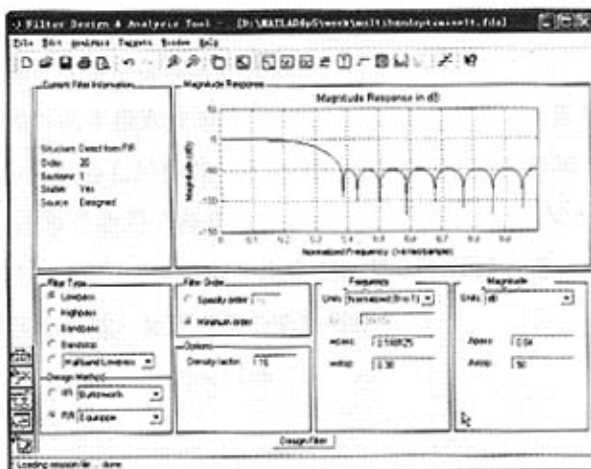


图 3.5 1/4 带滤波器的设计

分析该 1/4 带滤波器的幅频特性（如图 3.6 所示），该滤波器的通带和阻带纹波均在 0.04dB 以内，阻带衰减达到了 49dB，通带的截至频率为 19.426KHz，只采用了 20 个系数，同时指标也符合设计要求。

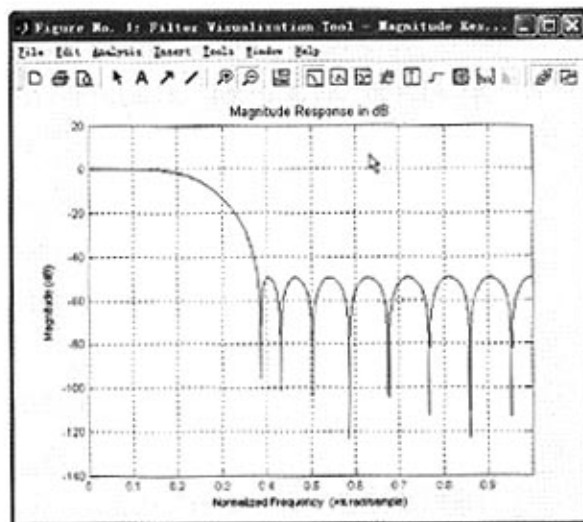


图 3.6 1/4 带滤波器幅频特性

3.2.3 滤波器的整体分析

滤波器的最后一级为 8 倍的采样保持，这一部分主要是利用频率上的变化实现数据的保持和输出，因此它对于传输函数的形状不产生影响，只是在频率上对传输函数进行平行延展，因此不需要考虑其通阻带纹波、阻带截至频率等参数，只需要实现频率变换的功能就可以完成。

对于以上设计的半带滤波器以及 1/4 带滤波器，它们分别按照设定的参数进行设计的，可以保证各自的参数，但是还需要确定半带滤波器和 1/4 带滤波器级联之后的传输函数是否符合插值滤波器的整体要求。利用 Matlab 的 Filter Design Analyze (FDA) 工具可以导出半带以及 1/4 带滤波器的系数，再使用 .m 文件描述整体传输函数，如下（部分系数省略）：

```
% to prove the transfunction
w=0:0.001:12.56;
z=exp(w*i);
h0=-0.001285785203985
.....
h22=0.317119712382718
h23=0.5;
hf1=h0+h0./z.^194+h2./z.^8+h2./z.^176+h4./z.^16+h4./z.^168+h6./z.^24+h6./z.^160+h8./z.^32+h8./z.^152+h10./z.^40+h10./z.^144;
hf2=h12./z.^48+h12./z.^136+h14./z.^56+h14./z.^128+h16./z.^64+h16./z.^120+h18./z.^72+h18./z.^112+h20./z.^80+h20./z.^104;
hf3=h22./z.^88+h22./z.^96+h23./z.^92;
hf=a1+a2+a3;
g0=-0.006194599587725
.....
g10=0.342871501330208
lp1=g0+g0./z.^20+g1./z.^1+g1./z.^19+g2./z.^2+g2./z.^18+g3./z.^3+g3./z.^17+g4./z.^4+g4./z.^16+g5./z.^5+g5./z.^15;
lp2=g6./z.^6+g6./z.^14+g7./z.^7+g7./z.^13+g8./z.^8+g8./z.^12+g9./
```

```

z.^9+g9./z.^11+g10./z.^10;
lp=lp1+lp2;
all=hf.*lp;
figure(1);
plot(w,20*log(abs(all)))
%over
    
```

其中, h_0 到 h_{23} 为半带滤波器的系数, g_0 到 g_{10} 为 1/4 带滤波器, hf 为半带滤波器的传输函数, lp 为 1/4 带滤波器的传输函数, all 为整体的传输函数, 即半带的传输函数与 1/4 带传输函数乘积。需要特别指出的是, 由于两级的采用频率不同, 因此半带和 1/4 带滤波器两者采用的延迟单元是不同的, 即一个延迟单元在 1/4 带滤波器中表示为 z^{-1} , 而在半带滤波器中则需要表示成 z^{-4} 。

整个插值滤波器从直流到 8 倍采样频率的幅频响应以及通带波纹如图 3.7 所示。整个插值滤波器在通带内的波纹为 $\pm 0.06\text{dB}$, 阻带的衰减为 49dB , 通带的截止频率为 19.4KHz 。这些参数对于数字音频信号是足够的。

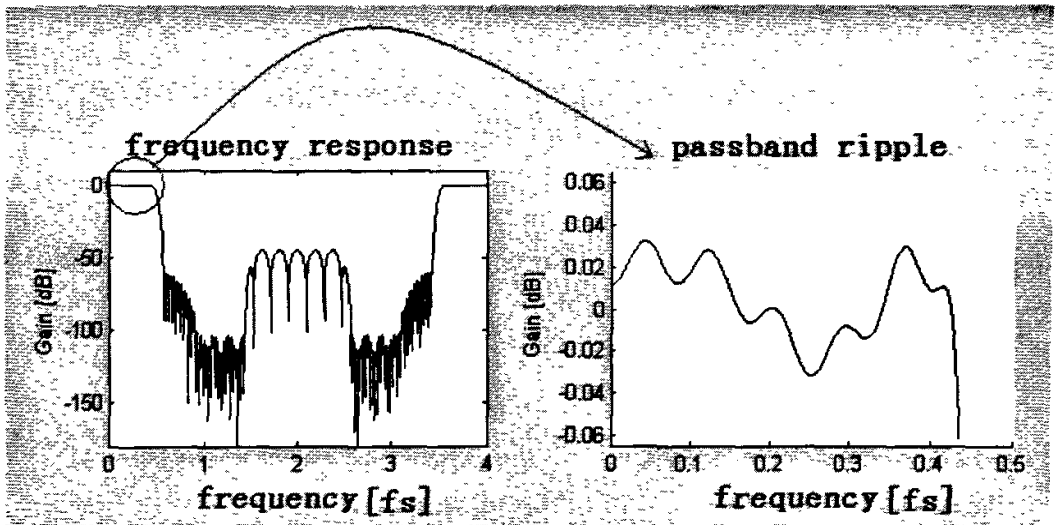


图 3.7 插值滤波器整体幅频特性

3.3 插值滤波器的实现及仿真

3.3.1 插值滤波器的系统仿真

对于上述的三级级联的结构，需要在 Matlab 的 Simulink 中建模进行系统仿真，其具体的模型如图 3.8 所示，其中，Upsample 模块实现的是在相邻两个数据间插入若干个零值，例如， $\uparrow 4$ 实现的是在相邻两个信号之间插入三个零值；Digital Filter Design (FDA) 是设计完成的低通滤波器，图中两个 FDA 分别是设计完成的半带滤波器和 $1/4$ 带低通滤波器；Scope 模块可以观察系统工作情况；根据插零原理，经过低通滤波的数据需要对其幅度进行还原，Gain 模块则是完成数据幅度的增加。

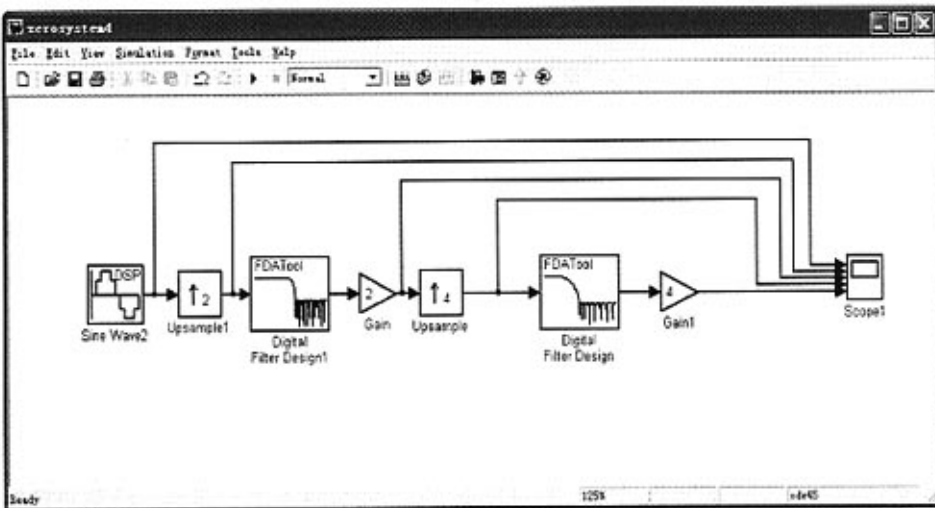


图 3.8 插值滤波器模型

通过 Scope 可以观察系统工作的波形，如图 3.9 所示：

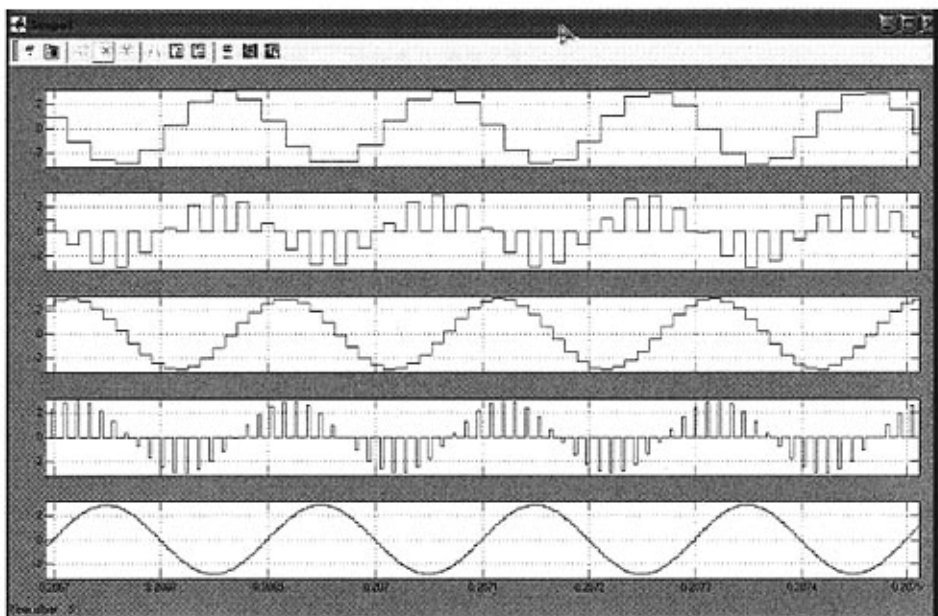


图 3.9 输出信号波形

在波形图中，第一幅图为输入信号的波形，输入信号幅度为 3，采样频率为 44.1KHz，信号频率为 5KHz，一个周期有 8 个采样值；第二幅为经过两倍 Upsample 模块之后的波形，可以看到在相邻两个信号之间加入了零值；第三幅为经过半带滤波器之后的数据波形，可以看出数据已经实现了两倍插值，在一个周期之内有 16 个采样值；第四幅图为半带滤波器输出数据经过四倍 Upsample 模块的波形，可以看出在相邻两个数据之间插入了三个零值；最后一幅是经过 1/4 带滤波器之后数据波形，此时一个周期之内有 64 个采样值，可以清楚地看出，模型实现了数据的插值，同时信号的插值后波形很平缓，模型的功能比较好。

在系统的具体实现上，Matlab 采用的串行级联的结构，这种结构比较简单，但是会使用较多的乘法单元，考虑 FIR 滤波器具有系数对称的优点，因此实际设计中采用了对称折叠的结构，相同的系数共用一个乘法器。对于半带滤波器，有 $g_0 = g_{46}$ ， $g_2 = g_{44}$ ，……， $g_{22} = g_{24}$ ，因此这些相等的系数可以共用一个乘法器，在 1/4 带滤波器中，有 $g_0 = g_{20}$ ， $g_1 = g_{19}$ ，……， $g_9 = g_{11}$ ，同样这些相同的系数可以共用一个乘法单元。对称结构的系统仿真如图 3.10 所示：

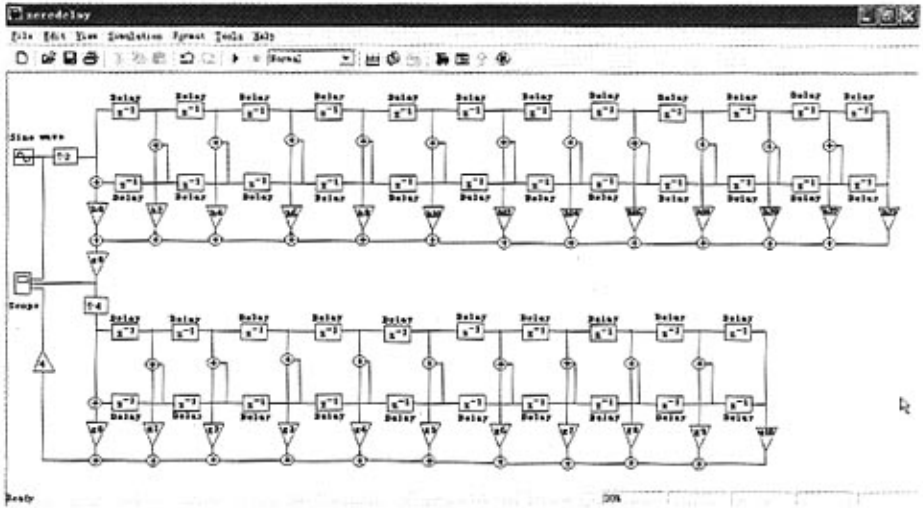


图 3.10 对称结构具体结构

对称结构的仿真结果如图 3.11 所示:

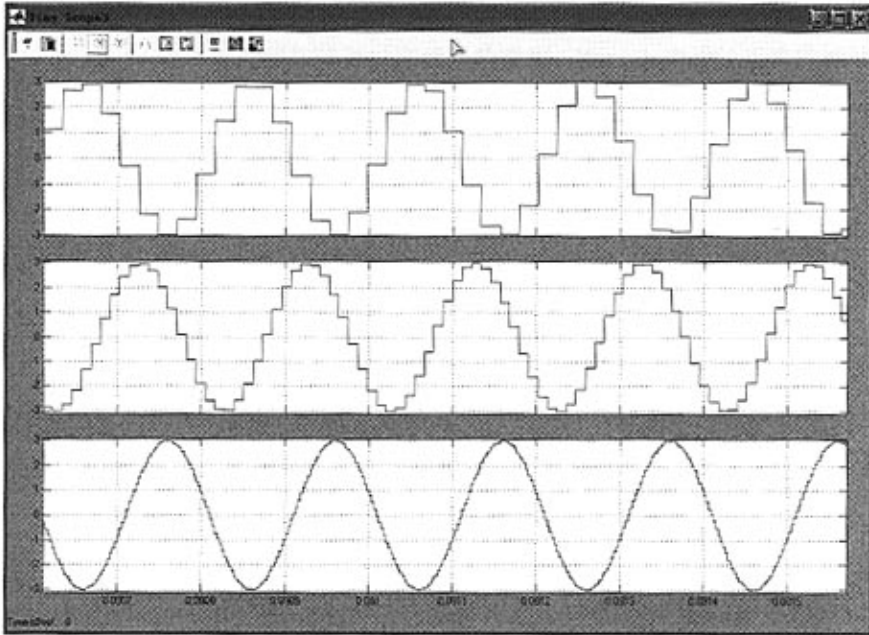


图 3.11 折叠结构仿真波形

其仿真结果和直接建模仿真的结果一致，因此采用对称折叠的结构同样可以实现数据插值，同时节省了乘法器的使用个数。

对于滤波器而言,硬件的主要开销在于滤波器系数的实现。在系统设计中充分优化了系数,第一级的 FIR 半带滤波器为 47 阶,作为半带滤波器,其一半的系数为 0,因此只需要实现 23 个系数;第二级的 1/4 带 FIR 滤波器有 20 个系数,因此总共需要实现 44 个系数,硬件开销得到了充分地控制。再考虑 FIR 滤波器系数的对称性,利用 FIR 线性相位对称折叠结构,对称相等的系数共用一个乘法单元,经过这样的处理,系数所需要的硬件又减少了一半,硬件开销上得到了充分地优化。

3.3.2 插值滤波器的 Verilog 的实现及仿真

由 Matlab 设计出来的滤波器的系数为量化后的小数,对于小数,在 Verilog 代码处理中采用的是移位的方式,例如小数 0.5,在 Verilog 的实现上就采用数据左移一位的方式实现。如果系数恰好是 2 的负整数次幂之和的话,例如 $0.9375 = 2^{-1} + 2^{-2} + 2^{-3} + 2^{-4}$,那么移位的实现就比较简单,只需要把数据分别左移 1, 2, 3, 4 位之后再相加就可以完成系数乘积。Matlab 中设计出来的滤波器的系数往往不能直接表示成 2 的负整数次幂之和的形式。因此这里存在一个转换精度的问题,即把小数转换成几位的 2 进制数之和的形式,显然转换的位数越多,精度就越高,同时硬件的开销也会大,而位数少的话可能引起精度上就不足。通过观察系数和多次系统仿真结果比较,最终将滤波器的小数系数转换成 18 位的 2 的负整数次幂之和的形式。

系数中有不少的系数为负系数,对于负系数,处理的时候仍然按照正系数进行移位运算,但是最后将通过负系数输入的数据进行取反加 1 的减法处理,最后再与通过正系数的数据进行求和,即可实现负系数相乘。

二进制系数如果采用 CSD (Canonic Signed-Digit) 编码,可以大大节省硬件⁷。所谓 CSD 编码是指是一种非零位最少的系数量化格式,它的定义是:

$$X = \sum_{k=1}^L S_k \times 2^{-P_k}$$

其中 $S_k \in \{-1, 0, 1\}$, $P_k \in \{0, 1, 2, \dots, M\}$ 其表示的是 S_k 所对应的 2 的幂次,而 $M+1$ 表示系数 X 在硬件中的存储位长, L 表示 CSD 码中非零位的个数。CSD 码必须遵

循一个条件， P_i 不能为相邻的整数，即量化系数中的非零位不能够连续出现。通常普通的二进制数表示法使用 0 和 1 逐次表示 2 的整数次幂，而直观的说，CSD 码的表示方法就是将这种普通表示法中出现连续的 1 用 $(x+1)-1$ 的方法进行处理，如：

$$[0111] \Rightarrow [100-1]$$

利用二进制数 1+1 即归 0 的特点，无论在普通二进制表示法中多长的连续非零位都能在 CSD 码中用一个 1 和一个 -1，两个非零位来表示，通过这种思路可以得到普通二进制表示法到 CSD 码之间的转换。例如 $0.375 = 2^{-1} - 2^{-2} + 2^{-3}$ ，也可以写 $0.375 = 2^{-1} - 2^{-3}$ ，这样对于同样一个系数 0.375，若使用第一个表达方式，要进行三次移位加运算(减法作为补码的加法)；而使用第二个表达方式，就只需要两次移位加的运算，运算量得到了降低。

通过以上系数的量化处理，半带滤波器以及 1/4 带滤波器的系数如表 3.1 和表 3.2 所示，其中，Coefficient 为系数名称，Original Value 为 Matlab 导出的小数系数，CSD 表示的是系数是否经过 CSD 码的变化，Quantized Value 为量化之后的系数，例如 h0 量化之后就被表示成为 0000,0000,0101,0100,01，即 $h0 = z^{-10} + z^{-12} + z^{-14} + z^{-18}$ ，如果经过 CSD 码的变换，会有 -1 出现，例如 h4 经过 CSD 编码之后变成 0000,0001,00-10,0010,0-1，则 $h4 = 2^{-8} - 2^{-11} + 2^{-15} - 2^{-18}$ ，Error 表示的则是经过量化之后的系数与未量化系数的误差。

表 3.1 半带滤波器系数

Coefficient	Original Value	CSD	Quantized Value	Error%
h0	-0.001286024033539	No	000000000101010001	0.0366
h2	0.001988101209527	No	000000001000001001	0.0324
h4	-0.003445781950962	Yes	10000000100-1000100-1	0.189
h6	0.005538527837118	No	000000010110101011	0.0612
h8	-0.008457412999731	No	000000100010101001	0.00271
h10	0.012474616892202	No	000000110011000110	0.00446

h12	-0.018021894111685	Yes	10000010010100-10100	0.00701
h14	0.025884005489320	No	000001101010000001	0.00496
h16	-0.037730239990522	No	000010011010100010	0.00764
h18	0.057926639368285	Yes	000100-101101010001	0.0008
h20	-0.102576907697154	No	000110100100001001	0.00342
h22	0.317119776099350	Yes	01010001001100-1011	0.00005
h23	0.500000000000000	No	10000000000000000	0

表 3.2 1/4 带低通滤波器系数

Coefficient	Original Value	CSD	Quantized Value	Error%
g0	-0.006194599587725	Yes	00000001100101100-1	0.054
g1	-0.002621364425606	Yes	00000000101011000-1	0.02546
g2	0.010270309961213	No	000000101010000100	0.01115
g3	0.020649542766512	No	000001010100100101	0.00284
g4	0.006032069731156	No	000000011000101101	0.0171
g5	-0.034146907052474	Yes	0000100011000-1100-1	0.00455
g6	-0.057956628286892	Yes	000100-101101011000	0.00647
g7	-0.008288688641928	Yes	000000100010000-100	0.0382
g8	0.125620735912520	Yes	00100000010011000-1	0.426
g9	0.276444880809425	No	010001101100010100	0.0005
g10	0.342871501330208	Yes	010110000-100011000	0.0019

可以看出，经过 CSD 码量化的系数和 Matlab 中的原系数相比，最多只有 0.426% 的误差，因此系数经过量化之后可以保证插值滤波器系统的性能，同时由于引入了 CSD 码，系数上还得到了优化。采用以上的方法，使得滤波器的硬件实现比较简单，结构上也很清楚，在 ModelSim 中实现了代码并对全部的代码进行了仿真验证，在代码实现上注意了以下几个方面的问题：

第一、采用使能的方式进行分频。设计的插值滤波器是三级级联的结构，三级的时钟是不同的，半带滤波器的工作时钟是 88.2KHz，1/4 带滤波器的工作时

钟是 352.8KHz，最后一级的采样保持模块的工作时钟是 2.822MHz。由于每一级时钟都需要驱动大量的 D 触发器，如果采用时钟分频的方法，同一级的时钟可能出现时钟延不齐的问题，这样对于插值滤波器的影响是很大的，因此在设计中没有采用时钟分频的方法，而是使用了使能的方法。三级使用同一个系统时钟 2.822MHz，使能信号采用的系统时钟下降沿触发，对于半带滤波器，使能信号每 32 个时钟使能一次，对于 1/4 带滤波器，使能信号每 8 个时钟使能一次，使能信号保持一个周期，从时钟信号的下降沿保持到下一个下降沿，通过这样的方式来实现不同级之间时钟的分频。其仿真波形如图 3.12 所示：

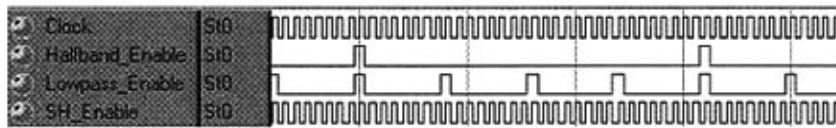


图 3.12 使能信号仿真波形

第二、在三级之间加入选择器 (Mux) 模块，这个主要是从测试的角度来考虑的。对于三级级联的结构，如果第一级或者第二级工作不正常，都会直接导致整个插值滤波器没有结果，因此在设计的时候在不同级之间加入了选择器 Mux。设计中，在第一级半带滤波器和第二级 1/4 带滤波器之间加入了一个选择器，在第二级 1/4 带滤波器和第三级采样保持模块之间也加入了一个选择器，在采样保持模块之后也加入了一个选择器。这样就利用 Mux 的选择性可以控制数据的输入，即可以实现测试信号直接输入第二级或者第三级，也可以实现单独测试每一级，通过这个方法可以保证设计的可测性，同时一旦设计的前级出现问题的时候还有办法进行补救。具体的结构如图 3.13 所示：

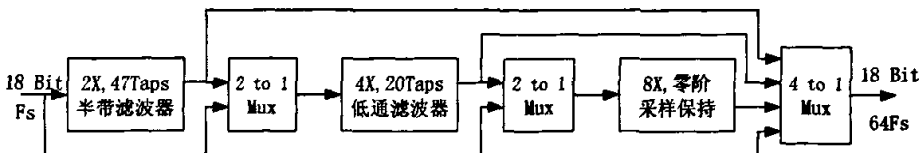


图 3.13 代码的可测性设计

第三、根据仿真结果对滤波器的系数进行了微调。在前面已经讨论的滤波器系数的问题，通过精度控制以及 CSD 编码的方式，很好地控制了系数实现上的硬件开销，同时由于系数的精简，插值的精度也有一定的下降，虽然已经严格控制了系数的误差，但是在数据的最大和最小处，还是很容易引起数据的非单调，这是插值中所不能出现的。因此在代码实现的时候，根据仿真的结果，调整了部分系数的大小。调整系数的原则是从小的系数开始调整，尽量不改变大的系数，因为调整大系数对于整个系统的影响比较大，很可能修正了非单调的问题，又引出了其他方面的情况，而小系数在系统中的权重小，引起其他方面的变化的概率较低，因此主要修正小系数。

最后、在较大的组合逻辑中加入了时序单元来控制时延。在每一级的滤波器中，都有很多的组合逻辑电路，像是系数乘法中的移位相加、取反运算等等。由于系数比较多，这些组合逻辑的级数也比较多，例如要实现 6 个系数的移位相加，至少需要三级的加法才可以完成，因此这些组合逻辑的时延也相对比较大。在设计中，在不同组合逻辑之间加入了 D 触发器来切断不同级的组合逻辑电路，这样设计的好处是把组合逻辑电路的时延均匀地分配到了多个 D 触发器之上，可以比较容易地满足时序上的要求；所带来的问题则是完成插值的时间会比较长，但是插值滤波器并没有时间上的要求，对于后面调制器模块需要的是稳定的过采样数据流，至于这些过采样数据流晚几个时钟周期才输出对于其工作并没有多大的影响。

这里还需要说明的是测试数据的产生，在系统仿真中，利用的是 Matlab 的 Simulink 中的 DSP 模块直接获得采样的数据，而在 ModelSim 中需要生成测试的采样数据，这里使用了 Matlab 的 m 文件编程来产生数据，m 文件如下所示：

```
%start
numpt=2048;
t=0:1/44100:2047/44100;
x=116818*sin(2*pi*5000*t)+ 116818;
save e:/asic/dac/test.txt x -ASCII -DOUBLE
%over
```

其中 numpt 表示的是测试数据的个数，因为插值滤波器实现的是 64 倍的插

值，因此测试数据不能很多，否则输出数据量太大了，在测试中测试数据选择了 2048 个，这样经过插值之后的输出数据为 131072 (2^{18}) 个，方便后期的 FFT 数据处理。t 表示的是采样的时间和频率，其表示的是在时间范围 $0 \sim \frac{2047}{44100}$ 内，每隔 $\frac{1}{44100}$ 采样一个数据，通过采样间隔和区间的设计就可以实现采样频率 44.1KHz 的 2048 个测试数据。被采样的数据为正弦波，正弦波的频率为 5KHz，无论是测试插值滤波器还是整体的 DAC，都是以正弦波作为测试信号，需要指出的是正弦波并没有采用满幅值，对于 18 Bit 的正弦数据其满幅值应为 262144 (2^{18})，因为对于 Sigma-Delta 的 DAC，在满量程上的性能指标不是最佳，大部分测试的时候都把正弦信号的幅度降低 3-5 个 dB 再进行测试，采用的是降低 3 个 dB 作为测试信号的幅值，即 233636。同时，Verilog 处理的都是二进制的数，没有负数的表示方式 (18 Bit 不含符号位)，因此处理的方法是将信号的中心点平移到半满幅值处，从而保证数据全部为正数，处理输出信号的时候再将其还原成原正弦波形式。在 Matlab 的 m 文件会把采样的数据保存下来，通过 ModelSim 读文件的方式，就可以实现测试数据的导入。

综合以上的种种考虑，设计实现了这个 64 倍插值的滤波器，其仿真的波形如图 3.14 所示：

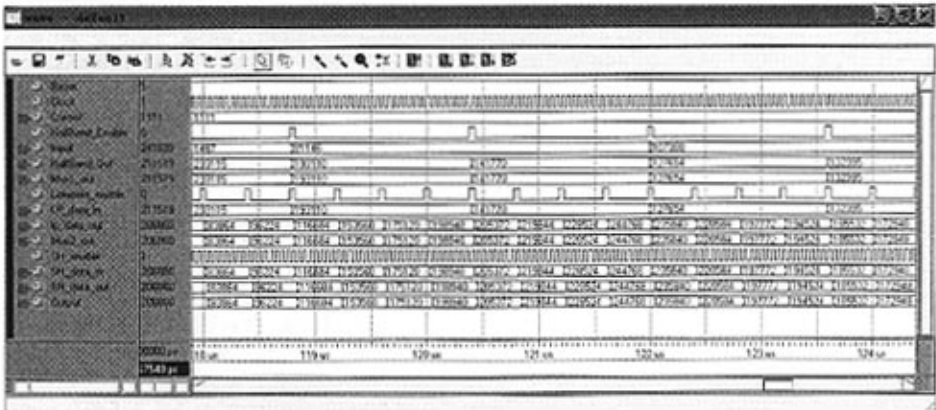


图 3.14 ModelSim 仿真波形

其中，Reset 为整个系统的复位信号，在送入测试数据之前，需要对全局进

行复位，这样可以保证中间级的数据不会出现不定态（不定态对于调制器的影响较大，因此调制器是一个反馈的结构，不定态可能会在调制器的反馈回路上不断地循环出现，导致整个调制器工作不正常）；Clock 为系统时钟，频率为 2.822MHz；Control 为 4 Bit 的控制信号，用于控制 Mux 的选择情况；Input 为测试数据；HalfBand_Enable 和 Lowpass_Enable 是半带滤波器和 1/4 带滤波器的使能信号；HalfBand_Out、Lowpass_Out 和 SH_Out 分别是半带、1/4 带以及采样保持模块的输出；Mux1_Out、Mux2_Out 和 Output 则是三个选择器的输出数据。

观察波形，可以看出数据流的时钟频率是正确的，输入数据的频率最低，为 44.1KHz，经过半带滤波器之后，数据的频率上升到 88.2KHz，同时在一个输入信号之内产生了 2 个数据，实现了 2 倍的插值；再经过 1/4 带滤波器，数据的频率又上升到 352.8KHz，同时半带滤波器输出信号之间产生了 4 个数据，实现了 4 倍的插值；最后数据经过采样保持模块，虽然数据的个数没有发生变化，但是实际上由于其工作时钟是 2.822MHz，因此输出数据的频率也为 2.822MHz，实现了 8 倍的插值。因此三级级联实现了输入信号的 64 倍插值。

刚才已经提到测试的输入数据为正弦信号，经过 64 倍插值的输出信号也应为正弦信号，但是仅仅通过观察 ModelSim 并不能看出输出数据是否为正弦信号，因此还需要对输出的数据进行处理。这里还是使用 Matlab 的 m 文件进行编程，将输出的数据画出来，从而直观地观察输出数据是否为正弦波，其 m 文件如下所示：

```
%start
numpt=2048;
t=0:1/44100:2047/44100;
x=116818*sin(2*pi*5000*t)+116818;
figure(1);
plot(t(1:40), x(1:40));

numpt1=131072;
n=1:1:131072;
fid=fopen('E:\ASIC\data\5000\out.dat','r');
```

```

code=fscanf(fid,'%d',[numpt1,1]);
Dout=code-116818;
figure(2);
plot(n(1:2560),Dout(1:2560));
%over

```

其中, figure(1)画出的是输入信号的波形, 共 40 个点; figure(2)画出的是输出信号的波形, 共 2560 个点, 两者的波形如图 3.15 所示:

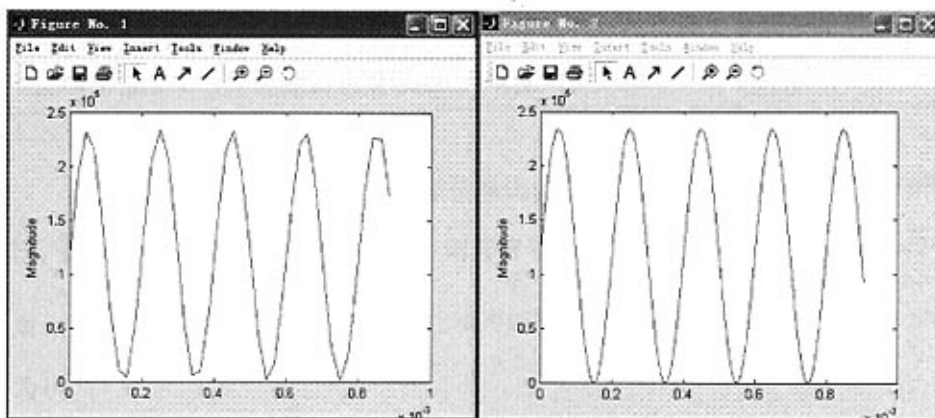


图 3.15 输入输出波形比较

可以看出, 输入信号为一个采样的正弦信号, 由于一个周期之内采样的点数较少 (采样频率 44.1KHz, 正弦信号频率 5KHz, 一个周期采样 $\frac{44.1KHz}{5KHz} = 8.8$ 个点), 波形不光滑, 在波峰波谷处尤其明显; 输出信号同样为一正弦信号, 其周期以及幅度均和输入信号一致, 同时由于插值滤波器对输入信号进行了 64 倍插值 (相当于采样频率 2.822MHz, 正弦信号频率 5KHz, 一个周期采样 $\frac{2.822MHz}{5KHz} = 564.4$ 个点), 波形相对于输入信号平滑了很多, 在正弦信号的波峰以及波谷处, 数据信号依然很平滑, 因此认为插值滤波器完成了插值的功能。

3.3.3 插值滤波器的信噪比分析⁹

对于 Sigma-Delta 的 DAC, 衡量它的主要指标主要如下表 3.3 所示:

表 3.3 DAC 的动态参数

动态参数	描述
信噪比 (SNR)	$SNR_{dB} = 20 \log_{10} \left(\frac{A_{Signal}[rms]}{A_{Noise}[rms]} \right)$
信号与噪声+失真 之比 (SNDR)	$SNDR_{dB} = 20 \log_{10} \left(\frac{A_{Signal}[rms]}{A_{Noise+HD}[rms]} \right)$
总谐波失真 (THD)	$THD_{dBc} = \frac{\sqrt{A_{HD-2}[rms]^2 + A_{HD-3}[rms]^2 + \dots + A_{HD-N}[rms]^2}}{A[f_{in}]_{rms}}$
无杂散动态范围 (SFDR)	SFDR 是指信号基波幅度的有效值与最大谐波分量的有效值之比, 也是以 dB 为单位

其中 DAC 最重要的一个参数就是信噪比 (SNR), 首先推导出理想 DAC 的信噪比, 假设一个正弦信号的幅度为 V_p , 则其信号能量的均方根 (RMS) 值为 $V_p / \sqrt{2}$, 量化噪声的均方根为 $V_{LSB} / \sqrt{12}$ (量化噪声的推导见附录), 因此 DAC 的理想 SNR 为:

$$SNR_{ideal} = 20 \log_{10} \frac{V_p / \sqrt{2}}{V_{LSB} / \sqrt{12}} \quad (3-3)$$

同时: $V_{LSB} = 1LSB = \frac{V_{REF+} - V_{REF-}}{2^N}$, $2V_p = V_{REF+} - V_{REF-}$, 将其带入公式 (3-3),

因此:

$$SNR_{ideal} = 20 \log_{10} \frac{2^N \sqrt{12}}{2\sqrt{2}} = 6.02N + 1.76 \quad (3-4)$$

本设计为 18 Bit 的 DAC, 因此其 $SNR_{ideal} = 6.02 * 18 + 1.76 = 110.12dB$, 插值滤波器位于 Sigma-Delta DAC 的调制器之前, 主要工作是为调制器提供过采样的数据流, 其实现的是将输入信号带内的噪声均匀地分布到过采样的频率范围之内, 再通过调制器噪声整形的功能, 实现信号带内噪声的降低。仿真中得到的是 18 Bit 的数字输出信号, 需要对这些数字信号进行快速傅立叶变化 (FFT), 从而分析出输出信号的频谱, 然后就可以计算输出信号的信噪比了。

FFT 分析中常常要用到窗函数。在基于 FFT 的计算中正确选择窗函数非常关

键。频谱泄漏是由 FFT 算法中的假设造成的，FFT 算法中假设离散时间序列可以精确地在整个时域上进行周期延拓，所有包含该离散时间序列的信号为周期函数，周期与时间序列的长度相关。然而如果时间序列的长度不是信号周期的整数倍，假设条件即不成立，就会发生频谱泄漏。绝大多数情况下所处理的是一个未知的平稳信号，不能保证采样点数为周期的整数倍。频谱泄漏使给定频率分量的能量泄漏到相邻的频率点，从而在测量结果中引入误差。选择合适的窗函数可以减小频谱泄漏效应。

每种窗函数都有其自身的特性，不同的窗函数适用于不同的应用。要选择正确的窗函数，必须先估计信号的频谱成分。如若信号中有许多远离被测频率的强干扰频率分量，应选择旁瓣衰减速度较快的窗函数；如果强干扰频率分量紧邻被测频率时，应选择旁瓣峰值较小的窗函数。对于绝大部分应该采用汉宁(Hanning)窗即可以得到比较满意的结果，因为汉宁窗具有较好的频率分辨率和抑制频谱泄漏的能力。插值滤波器的频谱主要集中在信号频率上，在信号频率的倍频处存在一定的谐波能量，因此，采用频率分辨率较高的汉宁窗可以较好地反映信号的频谱特性。

在实际的仿真中，将 ModelSim 仿真出来的输出信号保存成数据文件，还是利用 Matlab 对输出数据进行 FFT 分析。

下面以 5KHz 的输出信号为例说明如何确定输出信号的信噪比，将输出的 131072 个数据通过 Matlab 的 .m 文件进行 FFT 分析：

```
%start
numpt=131072;
n=1:1:131072;
fid=fopen('E:\ASIC\data\5000\out.dat','r');
code=fscanf(fid,'%d',[numpt,1]);
Dout=code-116818;
Doutw=Dout.*hanning(numpt);
Dout_spect=fft(Doutw);
absdout=abs(Dout_spect);
Dout_dB=20*log10(abs(Dout_spect));
```

```

maxdB=max(Dout_dB(1:numpt/2));
figure(1);
plot(n(1:2048),Dout_dB(1:2048)-maxdB);

```

这段代码实现的是将 130172 个数据从文件中读出，进行中心化，即将正弦波的幅值从 0~233636 变成 -161818~161818(这是进行 FFT 变换所需要的, FFT 算法是针对完整的正弦波进行的)，完成中心化之后将数据进行加 Hanning 窗处理，然后就可以进行 FFT 变化了，为了方便查看输出信号的频谱，FFT 变换之后的数据换算成了 dB 的形式，同时以信号能量为 0dB 起点。经过以上处理之后，5KHz 输出信号的 FFT 变换频谱图如图 3.16 所示：

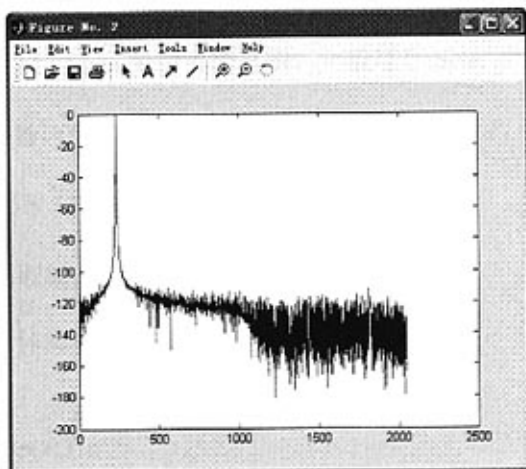


图 3.16 5KHz 输出信号 FFT 变换

通过观察输出信号的频谱，可以得出以下几个结论：

第一、信号的能量比较集中。测试的输入信号为 5KHz 的正弦信号，采样频率为 44.1KHz，共 2048 个点；经过插值之后，数据信号仍然是 5KHz 的正弦信号，而采样频率变成了 2.822MHz，同时数据点数为 131072 个。因此可以推出信号位于 $131072 \times \frac{5\text{KHz}}{2.822\text{MHz}} = 232$ 处，这个和 FFT 的频谱图符合。

第二、噪声能量比较低。在 FFT 的频谱图中，可以看出噪声的能量主要集中在 -120dB 处，而且在整个频率范围之内，噪声是均匀分布的，噪声基本没有什么变化，这也是符合插值滤波器的特性。

第三、谐波能量不明显。信号能量位于 5KHz 处，根据 FFT 变换的原理，谐波应该出现在 10KHz（二次谐波），15KHz（三次谐波），……，从 FFT 变换的频谱图上看，谐波并不明显，基本上和噪声处于同一量级，这对于调制器是很有好处的，同时也有利于音频的应用。

有了输出信号的频谱图，就可以计算输出信号的信噪比了。信噪比的计算方法参考了 Maxim 公司推荐的测试 ADC 和 DAC 信噪比的方法：

$$SNR = 10 \log_{10} \frac{P_s}{P_n} \quad (3-5)$$

其中， P_s 为信号能量， P_n 为噪声能量。

信号能量 $P_s = \text{sum}(F_m - \text{Span}, F_m + \text{Span})$ ， F_m 为信号所在的位置，在图 3.16 的频谱图中 $F_m = 232$ ，Span 为信号的范围，一般进行 SNR 计算的时候取 3。

噪声能量 $P_n =$ 带内所有能量 - 直流分量 P_{dc} - 谐波能量 P_d - 信号能量 P_s 。

直流分量 P_{dc} 选取 FFT 频谱的前三个点。

谐波能量 P_d 选取第二到第五个谐波能量。

Matlab 中的具体实现如下：

```
%start
Pdc=sum(spectp(1:3));
Ps=sum(spectp(fin-span:fin+span));
for har_num=1:5
    tone=rem((har_num*(fin-1)+1)/numpt,1);
    if tone>0.5
        tone=1-tone;
    end
    Fh=[Fh tone];
    har_peak=max(spectp(round(tone*numpt)-spanh:round(tone*numpt)+spanh));
    har_bin=find(spectp((round(tone*numpt)-spanh):(round(tone*numpt)+spanh)))==
har_peak);
    har_bin=har_bin+round(tone*numpt)-spanh-1;
```

```

Ph=[Ph sum(spectp(har_bin-1:har_bin+1))];
end
Pd=sum(Ph(2:5));
Pn=sum(spectp(1:2048))-Pdc-Ps-Pd
SNR=10*log10(Ps/Pn);
%over

```

根据公式，可以计算出输入信号为 5KHz 时，插值滤波器的信噪比达到 107.391dB，达到了设计的要求。

测试中需要测试多组不同频率的正弦信号来测试插值滤波器的系统性能。在选取正弦信号频率的时候，考虑了两种不同的方式，第一种采用相干采样，第二种采用非相干采样，从文献上看，这两种测试数据各有利弊⁹，因此测试数据同时选取了两种采样方式。

一般而言，人耳可以分辨声音的范围为 20Hz~20KHz，在设计插值滤波器的时候，是按照这个频率段进行设计的，因此测试信号的频率选取也在这个频率范围之内。相关采样选取了如下的频率：21.5Hz，107.7Hz，495.3Hz，1098.2Hz，2174.8Hz，4414.3Hz，6481.5Hz，8677.9Hz，12941.5Hz，18970.8Hz；非相关采样选取如下的频率：1000Hz，4410Hz，5000Hz，8820Hz。频率覆盖了整个通带范围，基本可以反映滤波器在通带上的特性。图 3.17 列出了测试信号频率分别为 2174.8Hz，12941.5Hz，4410Hz 和 5000Hz 时的输出信号的频谱图。

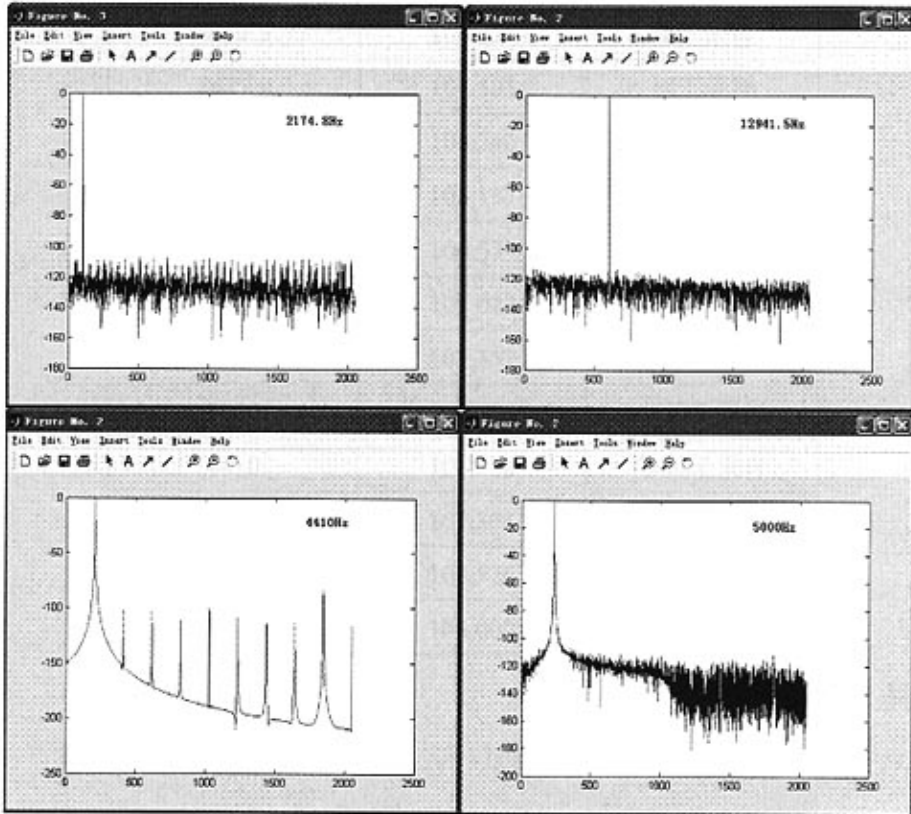


图 3.17 输出信号 FFT 变换

同样按照计算信噪比的公式，分别计算出当输入信号频率分别为 2174.8Hz，12941.5Hz，4410Hz 和 5000Hz 时，系统的信噪分别为 107.376dB，106.240dB，108.772dB 和 107.391dB，同时其他频率的信噪比也在 107dB 左右，达到了设计指标。各个频率下的信噪比如表 3.4 所示：

表 3.4 输出信号信噪比

信号频率 (Hz)	仿真信噪比 (dB)	采样类型
21.5	106.335	相干采样
107.7	106.802	相干采样
495.3	108.277	相干采样
1098.2	107.762	相干采样
2174.8	107.376	相干采样
4414.3	107.332	相干采样

6481.5	108.254	相干采样
8677.9	107.505	相干采样
12941.5	106.240	相干采样
18970.8	106.137	相干采样
22.05	106.537	非相干采样
44.1	107.022	非相干采样
441	107.357	非相干采样
1000	108.259	非相干采样
4410	108.772	非相干采样
5000	107.391	非相干采样
8820	109.526	非相干采样
17640	108.009	非相干采样

第四章 FPGA 验证及 ASIC 实现

前面章节介绍了插值滤波器的系统仿真以及 Verilog 代码的实现，本章将对设计的物理实现作详细的介绍，包括设计的 FPGA 验证以及 ASIC 实现。

4.1 设计的 FPGA 验证

4.1.1 FPGA 的基本概念¹⁰

FPGA 即现场可编程门阵列，它是在 PAL、GAL、EPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路（ASIC）领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。

FPGA 采用了逻辑单元阵列 LCA（Logic Cell Array）这样一个新概念，内部包括可配置逻辑模块 CLB（Configurable Logic Block）、输出输入模块 IOB（Input Output Block）和内部连线（Interconnect）这三个部分。FPGA 主要有以下几个特点：

第一、采用 FPGA 设计 ASIC 电路，用户不需要投片生产，就可以验证设计的可实现性，同时能得到合用的芯片。

第二、FPGA 可做其它全定制或半定制 ASIC 电路的测试样片。

第三、FPGA 内部有丰富的触发器和 I/O 引脚。

第四、FPGA 是 ASIC 电路中设计周期最短、开发费用最低、风险最小的器件之一。

第五、FPGA 采用高速 CHMOS 工艺，功耗低，可以与 CMOS、TTL 电平兼容。

可以说，FPGA 芯片是小批量系统提高系统集成度、可靠性的最佳选择之一。

目前 FPGA 的品种很多，有 XILINX 的 XC 系列、TI 公司的 TPC 系列、ALTERA 公司的 FIEX 系列等。

FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的，因此，工作时需要对片内的 RAM 进行编程。用户可以根据不同的配置模式，采用不同的编程

方式。

加电时, FPGA 芯片将 EPROM 中数据读入片内编程 RAM 中, 配置完成后, FPGA 进入工作状态。掉电后, FPGA 恢复成白片, 内部逻辑关系消失, 因此, FPGA 能够反复使用。FPGA 的编程无须专用的 FPGA 编程器, 只须用通用的 EPROM、PROM 编程器即可。当需要修改 FPGA 功能时, 只需换一片 EPROM 即可。这样, 同一片 FPGA, 不同的编程数据, 可以产生不同的电路功能。因此, FPGA 的使用非常灵活。

FPGA 有多种配置模式: 并行主模式为一片 FPGA 加一片 EPROM 的方式; 主从模式可以支持一片 PROM 编程多片 FPGA; 串行模式可以采用串行 PROM 编程 FPGA; 外设模式可以将 FPGA 作为微处理器的外设, 由微处理器对其编程。

ASIC 流片成本高、风险也比较大, 因此数字电路在完成前期的代码设计在流片前一般会先用 FPGA 来验证数字系统的逻辑功能。两者的实现原理是不同的, 在 ASIC 工艺中, 设计是基于工艺厂家提供的标准单元库, 而 FPGA 实现逻辑功能的最基本的单元是查找表结构 (LUT)。虽然两者实现上有区别, FPGA 验证正确并不意味着 ASIC 流片的成功, 但是 FPGA 验证可以作为系统功能验证的补充。如果一个设计在 FPGA 上验证通过了, 那么至少可以说明两点: 首先, 系统实现的功能是正确的。FPGA 验证是基于物理的一种实现, 验证过程加入了许多现实的因素, 因此它比任何仿真器更能反映真实情况, 这和 ASIC 流片是一致的; 其次, FPGA 验证通过可以说明系统时序基本能达到要求。FPGA 验证过程中同样涉及到 ASIC 流程中后端的一部分内容, 比如布局、布线等等, 因此这种验证更接近 ASIC 设计中的真实时序情况, 若在 FPGA 中系统能达到预定的工作频率, 那么至少可以说明系统的时序是正确的。ASIC 采用的是专用芯片设计, 其频率特性一般会更优于通用的 FPGA 芯片, 因此如果 FPGA 验证的时序是正确的, 往往 ASIC 也同样可以满足时序上的要求。

4.1.2 插值滤波器的 FPGA 验证

因此在代码上实现了滤波器之后, 考虑在 FPGA 上硬件验证插值滤波器的设计, 确认该设计是否可以实现插值的功能。

选用的 FPGA 芯片是 Xilinx 公司的 Spartan-IIIE 系列, 该系列的 FPGA 提供了

从 5 万至 60 万系统门的器件密度、优异的 I/O 功能、最多达 514 个 I/O、支持 19 种标准，包括 LVDS、HSTL 和 PCI、同时还内嵌了通用的 IP，包括延迟锁相环 DLL、分布式 RAM 和 block RAM 等等。

实际中选用的芯片是 XC2S300E，这款 FPGA 为 30 万门级的芯片，有 6912 个逻辑单元，64K Bit 的 BlockRAM，4 个延迟锁相环 DLL 以及 146 个用户可编程 I/O。这些资源对于插值滤波器的硬件实现是足够的。

实际的测试中需要加入 2048 个输入信号，由于这些输入信号都是数字，本身并没有产生数字采样正弦信号的信号发生器，因此在实际的测试中，使用了 FPGA 内部的 BlockRAM 来存储测试的数据，XC2S300E 内部提供了 16 块 BlockRAM，可以进行多种的配置，测试中需要提供 18 Bit 的数据，但是单块 BlockRAM 最高只能配置成 16 Bit 的形式，因此在测试中使用两块 BlockRAM 配置成 18 Bit 数据，一块 BlockRAM 提供低 16 Bit 的数据，另一块 BlockRAM 提供高 2 Bit 的数据：

RAMB4_S2

```
ram0(.DO(do1),.ADDR({3'b000,addr[7:0]}),.EN(1'b1),.CLK(clk),.WE(1'b0),.RST(1'b0));
```

RAMB4_S16

```
ram8(.DO(do2),.ADDR(addr[7:0]),.EN(1'b1),.CLK(clk),.WE(1'b0),.RST(1'b0));
```

```
assign dout={do1,do2};
```

其中，RAMB4_S2 为单端、2 Bit、2048 深度的 BlockRAM，RAMB4_S16 为单端、16 Bit、256 深度的 BlockRAM，将两个 RAM 的输出进行组合就形成了 256 个 18 Bit 的测试数据。测试中需要 2048 个 18 Bit 的数据，因此一共需要 16 块 BlockRAM，XC2S300E 恰好有 16 块 BlockRAM，可以满足测试的要求。

配置完成内部 BlockRAM 之后，需要对 RAM 进行初始化：

Defparam

```
ram0.INIT_00=256'hbe407f802fd01be406f901be406f901fe00bf406f901be406f901be00bf806f9;
```

.....

Defparam

```
ram8.INIT_0F=256'hd79c14c125c002553f3642438d7efc4ed552a80306ef406d38887
```

6925fdc82ee;

在 Xilinx 的 ISE 中对设计进行了综合。设计所使用的资源如图 4.1 所示:

Device Utilization Summary (estimated values)

Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slices:	2828	3072	92%	
Number of Slice Flip Flops:	1655	6144	28%	
Number of 4 input LUTs:	4052	6144	65%	
Number of bonded IOBs:	30	146	20%	
Number of BRAMs:	16	16	100%	
Number of GCLKs:	4	4	100%	

图 4.1 FPGA 资源使用率

设计使用了 2828 个 Slices, 1655 个 Slice Flip Flops, 4052 个 4 input LUTs, 30 个 IOBs, 16 个 BRAMs 以及 4 个全局时钟。整个设计占整个 FPGA 芯片资源的 60%左右, 大约 15 万门左右的设计规模。

综合之后, 可以查看设计的工作频率, 如图 4.2 所示:

Minimum period: 24.926ns (Maximum Frequency: 40.119MHz)
 Minimum input arrival time before clock: 15.192ns
 Maximum output required time after clock: 27.714ns
 Maximum combinational path delay: 11.897ns

图 4.2 滤波器的工作频率

可以看出设计最高工作的频率为 40.119MHz, 远远超过插值滤波器的最高工作时钟 2.822MHz, 因此可以认为设计在时序上没有问题。

测试的时候通过控制 BlockRAM 地址的变化, 实现采样率 44.1KHz 数据信号的等时间间隔输入, 输出则通过 Agilent 的逻辑分析仪 E9340 进行观察, 由于这款逻辑分析仪只有 32 个探针, 而输入输出数据一共有 36 位, 因此不能同时观测到输入输出信号, 在测试的时候通过控制信号(即设计中用于控制 Mux 的使能信号)分别观察输入和输出信号, 其测试结果如图 4.3 所示:

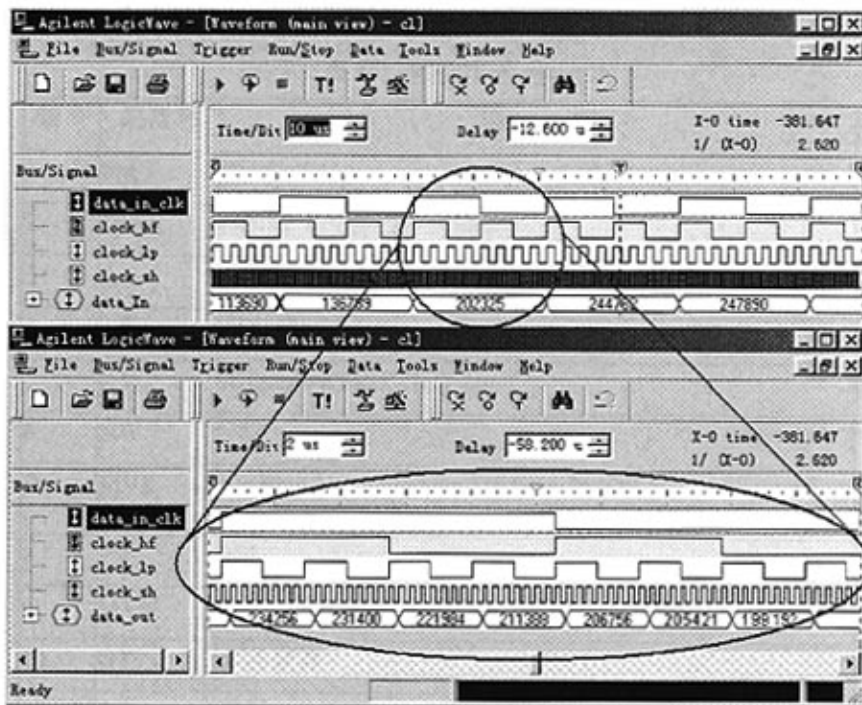


图 4.3 FPGA 测试图

通过观察数据流可以发现，一个输入信号经过插值滤波器之后产生了 64 个输出数据，说明插值滤波器实现了 64 倍的插值，功能正常。

经过 FPGA 的验证，认为插值滤波器的设计在物理上是可以实现，同时系统可工作的时钟频率远远超过设计的最高工作频率，通过这两个方面的验证在一定程度上增加了 ASIC 流片的成功率。

4.2 芯片的 ASIC 实现

前面已经在 FPGA 上验证了插值滤波器的物理可行性，下面具体介绍芯片的 ASIC 实现方法。

4.2.1 中芯国际工艺简介

芯片采用的是中芯国际 0.18 μm 数模混合信号工艺，是双阱、六层金属工艺，3.3/1.8V 电源电压，最小尺寸为 0.18 微米，8 英寸晶圆片。最多使用 37 块掩模

版，如表 4.1 所示：

表 4.1 中芯国际的制版层次

编号	层次名	说 明
1	0M	Zero mask
2.	DNW	深N阱（改善器件的隔离）
3	AA	有源区
4	AR	反有源区
5	KV	Alignment mark clear-out
6	NW	N阱
7.	MVP	Medium Vtp adjust for Medium PMOS form （中等阈值电压）
8	PW	P阱
9.	MVN	Medium Vtn adjust for Medium NMOS form
10	GT	多晶硅栅
11	DG	双栅
12	PLH	电源电压为3.3V的PMOS LDD注入
13	NLH	电源电压为3.3V的NMOS LDD注入
14	PLL	电源电压为1.8V的PMOS LDD注入
15	NLL	电源电压为1.8V的NMOS LDD注入
16	SP	P+注入，用于NMOS的源漏区
17	HRP	高阻多晶硅区
18	SN	N+注入，用于NMOS的源漏区
19	ESD1	ESD（静电释放） implant for Boron (B)
20	ESD2	ESD implant for Phosphorus (P)
21	SAB	Salicide 阻挡区
22	CT	接触孔
23	M1	金属1
24	V1	通孔1
25	M2	金属2
26	V2	通孔2

27	M3	金属3
28	V3	通孔3
29	M4	金属4
30	V4	通孔4
31	MiM	Top plate of Metal-Insulator-Metal (电容上极板)
32	M5	金属5
33	V5	通孔5
34	M6	金属6
35	MTT	Metal is Top Thick Metal (可以用来做电感, 高传导率)
36	PI	Polyimide (聚酰亚胺, 作为绝缘层)
37	PA	钝化层/压焊块

4.2.2 设计的综合

经过系统验证和功能验证, 包括 Matlab 的系统仿真、Verilog 的代码验证以及 FPGA 的硬件验证, 插值滤波器都达到了设计要求。通过这些验证后, 要将 HDL 描述的系统功能转化到具体芯片制造生产线工艺库对应的门电路上, 即综合。综合之后可以得到关于设计的一个网表 (Netlist) 文件, 该文件定义了该电路逻辑门及门之间的连接关系。综合之后的电路已包含了门单元的延时信息, 此时可以对电路进一步验证以确认综合过程是否符合要求, 同时也可以确定系统的时序是否能达到预定要求。

逻辑综合是使用软件的方法来设计硬件, 将门级电路实现与优化的工作留给逻辑综合工具的一种设计方法。它是根据一个系统逻辑功能与性能的要求, 在一个包含众多结构、功能、性能均为已知的逻辑元件的单元库的支持下, 寻找出一个逻辑网络结构的最佳实现方案。即实现在满足设计电路功能、速度及面积等限制条件下, 将行为级描述转化为指定的技术库中单元电路连接的方法。

如图 4.4 所示, 逻辑综合主要包括三个阶段: 转换(translation)、优化(optimization)与映射(mapping)。转换阶段逻辑综合工具将高层语言描述的电路用门级的逻辑来实现, 对于 Synopsys 的逻辑综合工具 DC 来说, 就是使用

gtech.db 库中的门级单元来组成 HDL 语言描述的电路，从而构成初始的未优化的电路。优化与映射是逻辑综合工具对已有的初始电路进行分析，去掉电路中的冗余单元，并对不满足限制条件的路径进行优化，然后将优化之后的电路映射到由制造商提供的工艺库上。逻辑综合是连接电路的高层描述与物理实现的桥梁。逻辑综合结果的好坏直接决定于 HDL 语言的描述，逻辑综合给定的限制条件与逻辑综合之后的门级网表将送到后端工具用于布局布线；而且在使用 HDL 语言描述电路以及在逻辑综合的过程中就需要考虑电路的可测试性，在逻辑综合之后需要对电路的可测试性进行处理^{11、12}。

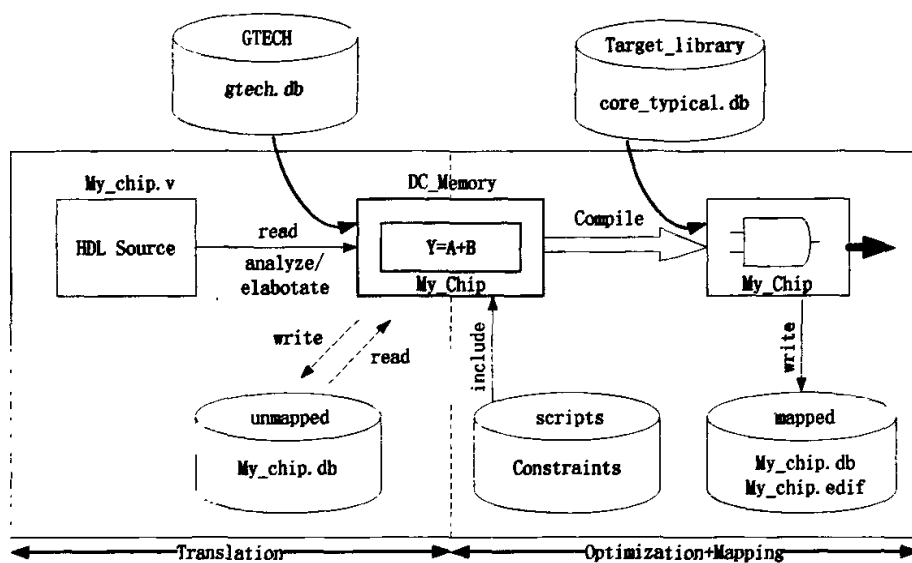


图 4.4 逻辑综合过程

对于插值滤波器的设计，在 DC 的条件设置如图 4.5 所示：

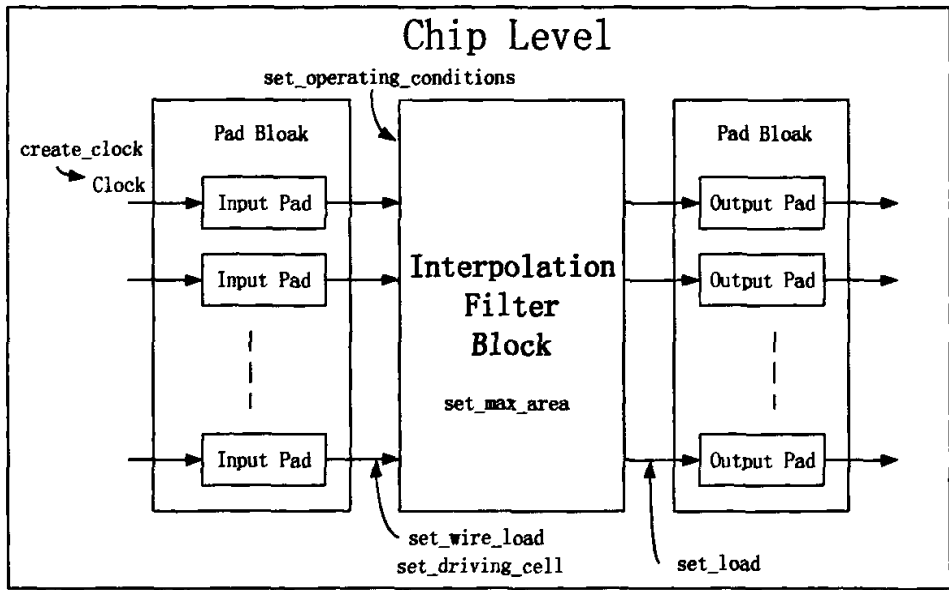


图 4.5 插值滤波器综合约束设置

这里面主要包括电路工作环境 (`set_operating_conditions`)、连线负载 (`set_wire_load`)、输出负载 (`set_load`) 以及输入驱动 (`set_driving_cell`) 等设计环境的设置，同时对于综合中最为重要的约束条件主要设置了系统的工作时钟 (`create_clock`) 和面积上的优化 (`set_max_area`)，因为在 FPGA 的验证中，插值滤波器的可工作的最高工作频率远大于实际的工作频率（系统时钟 2.822MHz，系统可工作的最高频率 40.119MHz），因此不需要对组合逻辑做特殊的优化处理，只需要通过工具进行全局的优化就可以达到设计的要求。综合完成的插值滤波器如图 4.6 所示：

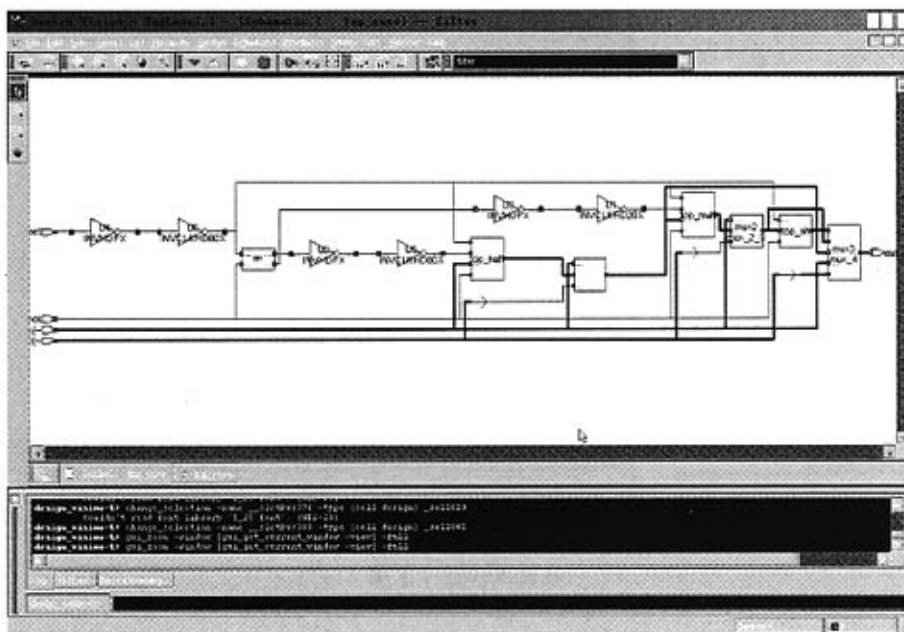


图 4.6 插值滤波器综合图

综合关于面积的报告如下：

Total area : 995918.25 μm^2

Core area : 414518.1875 μm^2

Pad area : 581400 μm^2

根据门数换算的经验公式：
$$Gate\ Number = \frac{Total\ Area}{Average\ NAND\ Area}$$

中芯国际 0.18 μm 数模混合电路工艺中 NAND 的平均面积为 10 μm^2 ，因此可以估算出插值滤波器的门数大约为 10 万门（FPGA 验证中为 15 万门，两者不同是由于在门数的计算上存在一定的差异）。

DC 可以导出的时序文件包括时序描述文件和时序约束文件两种。前者描述了设计的时序情况主要用于进行逻辑综合后的动态仿真；后者带有关键路径的时延约束信息，主要供后端工具进行时延驱动的布局布线。

在 ModelSim 中加入时序描述文件，对设计重新进行仿真，其仿真结果如图 4.7 所示：

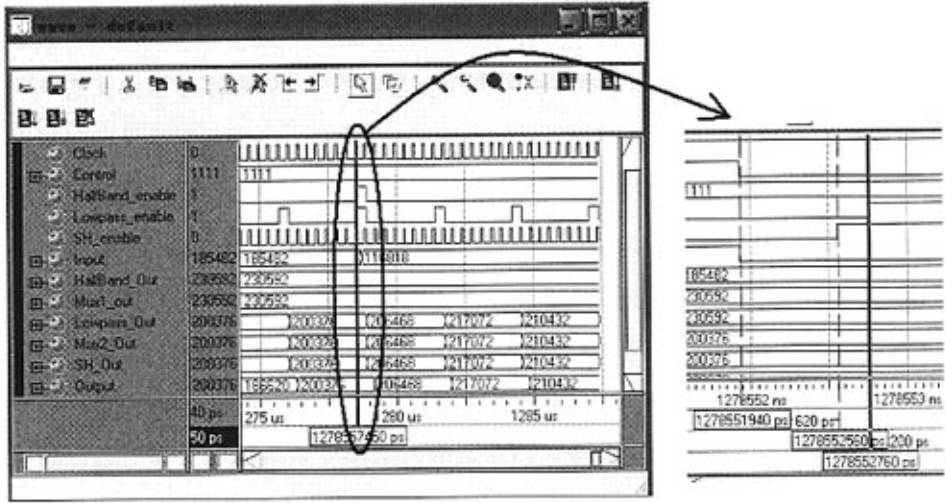


图 4.7 综合后仿真

可以看出，由于加入了器件的时延，三级级联结构的使能信号出现了一定的延迟，其中最大的延迟为 820ps，而系统工作的时钟是 2.822MHz，即时钟的间隔为 177ns，远大于引入器件时延的最大延迟，因此可以认为系统的时序得到了满足，没有任何的问题。

4.2.3 芯片的布局布线

数字集成电路的设计可以分为前端设计和后端设计两部分，前端设计指综合及综合之前的相关设计步骤，而后端设计指综合之后直到 Tapeout 的相关步骤。

后端设计从综合之后得到的网表文件 Netlist 开始，主要目的是将网表中定义的门电路连接关系转化成实际芯片的布局和布线，这时的主要约束已经不再是前端设计中最为关注的功能要求，而是系统的时序要求了。当时序不能通过调整布局布线来满足时，可能需要重新描述行为功能，甚至重新优化系统结构。

Encounter 平台提供了数字设计的完整流程，从 RTL 级代码的导入，到芯片的布局布线以及时序分析，再到最终 GDS 文件的生成，它提供了最高质量的芯片（时序、面积、线路功耗）、精确验证、注重信号完整性的布线、以及对高级 65 纳米设计至关重要的最新成品率和低功耗设计能力。目前 Encounter 已经成为数字设计布局布线中最为普遍的工具，同时工艺厂商也把 Encounter 作为其推荐流

程的使用工具¹³。

在同步数字系统中，时钟信号是用来作为电路中相关数据的共同参考点，用来维持信号之间的同步。因此，如何妥善的规划时钟分布网络来缩小各分支节点的时序差异（Clock Skew）是布局布线中最为重要的问题。

在设计中，时钟信号的驱动能力是在综合中进行设置的，一般都假设成无限大。综合完成的网表文件（Netlist）输入布局布线工具 Encounter，完成标准单元的放置（Place）之后，就可以进行时钟树的分析（Clock Tree Synthesis）了。在时钟树的产生流程中，需要知道驱动时钟信号的元件和信号的负载。此时，布局布线工具可以根据现有电路结构与电路放置结果以及使用者指定的时钟树结构，于适当位置插入时钟缓冲器或者反向器。中芯 0.18 um 数模混合电路工艺有专门用于时钟树分析的器件，即以 BUFCLK 以及 INVCLK 为前缀的缓冲器和反向器。在 Encounter 中指定这些器件作为时钟树分析的元器件，就可以进行时钟树分析了，设计的时钟树如图 4.8 所示：

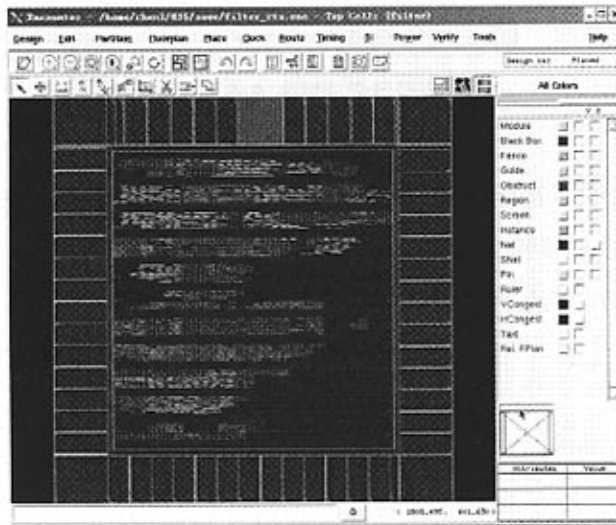


图 4.8 芯片的时钟树

Encounter 根据时钟树离时钟输入端的远近来显示时钟树，颜色深的器件表示加入了较多时钟树单元，这也意味着时钟信号在这些位置的时钟差异越大，从设计的时钟树上显示，基本没有深颜色的器件，说明通过时钟树的添加，既保证了时钟的驱动能力又不会引起 Clock Skew 的偏差。

经过布局布线之后，版图中除了标准单元的延迟信息之外，还引入了连线的延迟信息，这些延迟信号甚至可能引起时序上的错误，所以还需要对设计进行布局布线之后的仿真。Encounter 同样可以导出连线 and 标准单元延迟的信息，在 ModelSim 中进行后仿来确保设计时序上的要求，仿真如图 4.9 所示：

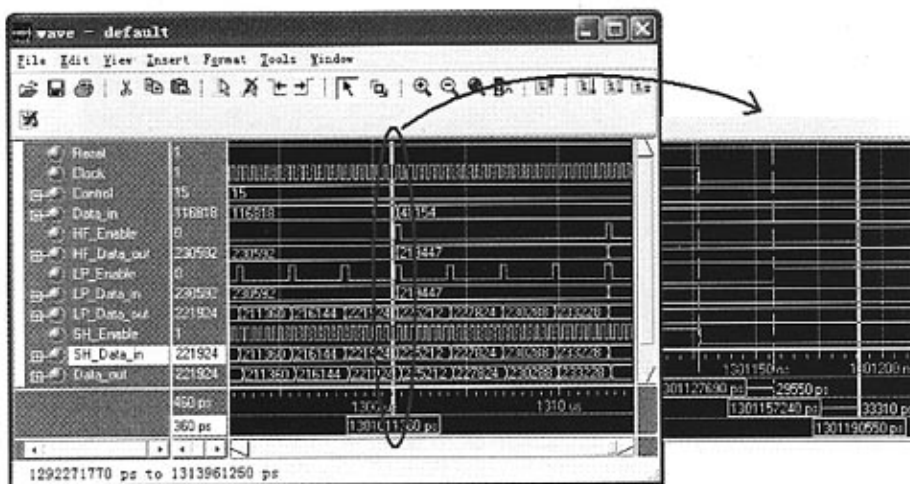


图 4.9 布局布线后仿真

可以看出，加入了连线的时延，三级级联结构的使能信号相比综合之后出现了更大延迟，其中最大的延迟约为 30ns，系统工作的时钟是 2.822MHz，即时钟的间隔为 177ns，虽然加入了连线延迟导致延迟的进一步上升，但是由于时钟间隔足够大，因此设计在时序上没有问题。

4.2.4 芯片的整体版图

完成芯片的布局布线之后，按照电路的要求进行电路规则以及一致性的检查，最后得到的整体版图如图 4.10 所示：

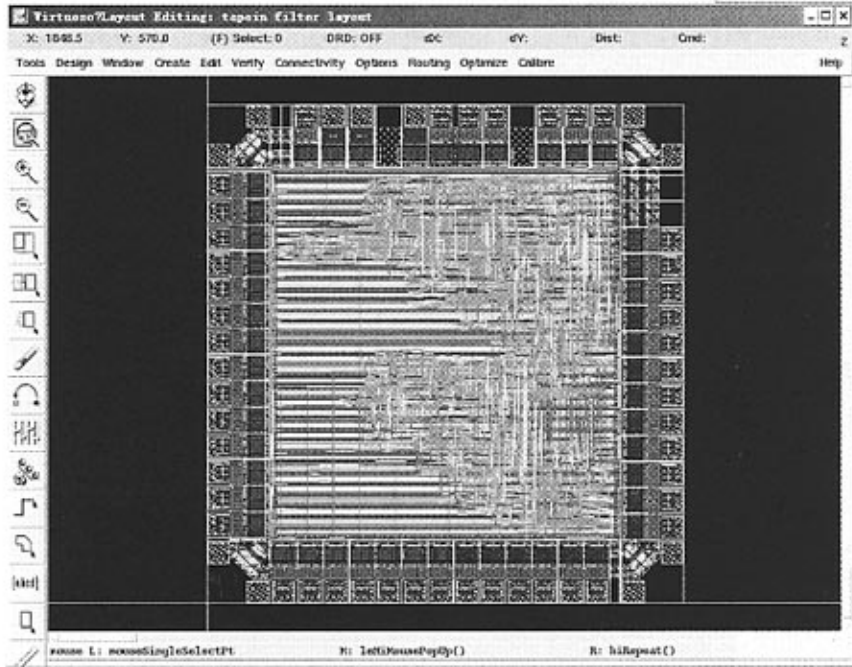


图 4.10 芯片版图

芯片的整体面积为 $1.389 \times 1.452 \mu\text{m}^2$ ，其中 Core（不包含 Pad）的面积为 $0.984 \times 1.048 \mu\text{m}^2$ ，同时 Core 的使用率并不是很高，大约在 60%左右，这是由于芯片的管脚较多的缘故。

芯片一共有 44 个管脚，各管脚的功能描述如表 4.2 所示：

表 4.2 芯片管脚分配和描述

管脚编号	管脚名称	管脚描述
1-15, 42-44	Data_in[17:0]	测试 18Bit 数据输入
16-33	Data_out[17:0]	芯片 18Bit 数据输出
34-36	Control[1],Control[3-4]	测试控制端口
37	VDD (1.8V)	Core 工作电压 1.8V
38	VDD (3.3V)	Pad 工作电压 3.3V
39	Clock	芯片时钟输入
40	GND	芯片地线

41	Reset	芯片复位信号
----	-------	--------

中芯 0.18 μm 数模混合电路工艺中电源和地一共有三组，包括给标准单元供电的 1.8V 电压、给 Pad 供电的 3.3V 电压以及专门给时钟 Pad 供电的 3.3V。

4.2.5 流片后芯片介绍

图为流片、封装之后得到的芯片。芯片采用的封装型号为 QFP44 (Plastic QuadFlat Package)，即 44 管脚方形扁平式塑装（如图 4.11 所示）。

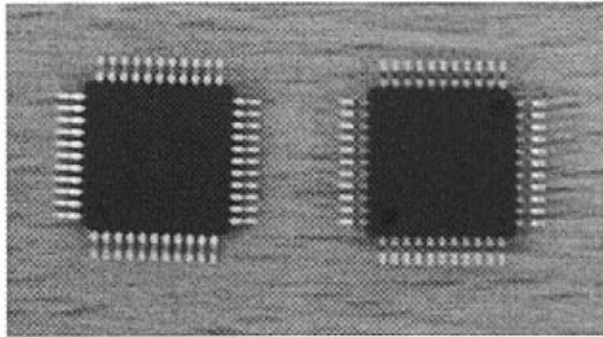


图 4.11 封装后的芯片

第五章 测试方法与结果分析

芯片经过流片、封装之后，还需要对其进行测试，同时还需要分析测试结果，并针对测试中出现的问题和不足，提出改进方案。本章就这几个方面的问题进行讨论。

5.1 测试方案与电路

测试方案：测试所需要的输入数据是 2048 个采样率为 44.1KHz 的正弦信号，芯片输出数据为 131072 个采样率为 2.822MHz 的插值正弦信号，将输出的数据存储进行数据分析，包括观察数据的波形以及 FFT 分析，测试的框图如图 5.1 所示：

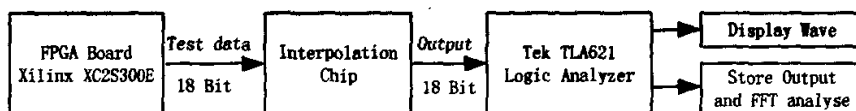


图 5.1 测试框图

测试设备：测试数据由 FPGA 产生，选用的是 Xilinx 的 Spartan-II-E 系列的 XC2S300E，该芯片有 16 块片内 RAM 共 64K，每两块 RAM 组成一个 18 Bit 的数据(这和 FPGA 验证时候采用的方法是一致的)；芯片的输出通过逻辑分析仪进行观察，逻辑分析仪选用的是 Tektronix 的 TLA621，该逻辑分析仪可以直接观察多个数据，同时最多可以存储 1048576 个数据（最高 32 Bit），可以满足测试中需要存储 131072 个 18 Bit 数据的要求。测试设备如表 5.1 所列：

表 5.1 测试中需要的仪器

设备名称	设备型号	设备功能
FPGA 开发版	Xilinx SpartanII-E XC2S300E	产生测试数据
逻辑分析仪	Tektronix TLA621	观察输出数据并存储
PC 机一台	Toshiba Laptop	数据 FFT 分析

测试电路图：芯片工作频率以及工作状态没有特殊的要求，因此测试电路的 PCB 按照正常的电路进行设计，芯片采用 Socket 的接入形式，方便多次测量以及芯片的更换。测试电路的 PCB 原理图如图 5.2 所示。

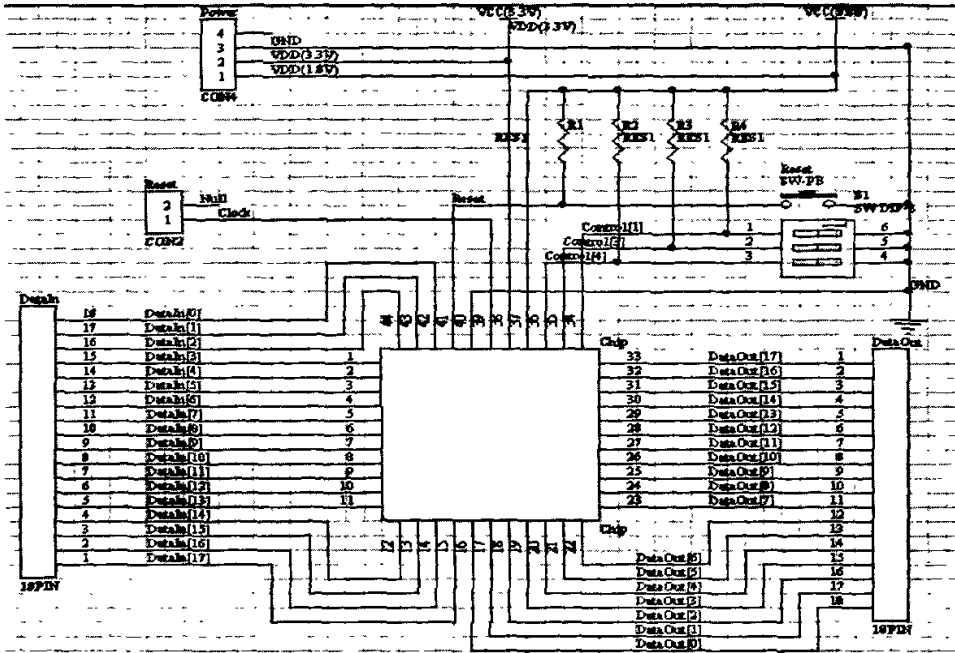


图 5.2 测试电路 PCB 原理图

测试数据的产生：芯片的测试数据是用 44.1KHz 的采样率采样正弦信号，测试中需要测试多组不同频率的正弦信号，在选取正弦信号频率的时候，同样考虑了两种不同的方式，第一种采用相干采样，第二种采用非相干采样。相关采样选取了如下的频率：21.5Hz, 107.7Hz, 495.3Hz, 1098.2Hz, 2174.8Hz, 4414.3Hz, 6481.5Hz, 8677.9Hz, 12941.5Hz, 18970.8Hz；非相干采样选取如下的频率：1000Hz, 4410Hz, 5000Hz, 8820Hz。

PC 机将这些测试数据下载到 FPGA 开发板上，通过 FPGA 的拨动开关控制其输出，同时 FPGA 输出 IO 配置成 CMOS 1.8V 的形式，从而直接作为芯片的输入信号；芯片的输出连接逻辑分析仪，从而可以观察保存数据。测试的实际电路如图 5.3 所示：

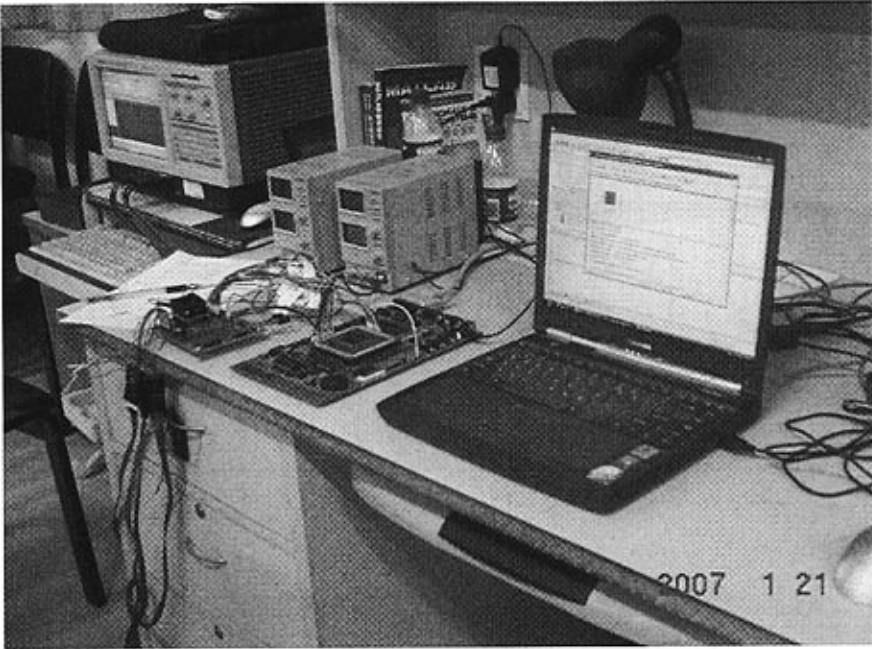


图 5.3 测试实际电路

5.2 测试结果

Tektronix 的逻辑分析仪 TLA621 可以显示数据的幅度，因此可以直接地观察输出数据的波形，从而直接验证插值滤波器的功能，同时可以根据波形选择合适的数据进行存储做进一步的数据分析。测试的频率比较多，此处列举几个主要频率的波形。

1、相干采样的数据：

21.5Hz 的信号波形如图 5.4 所示，2174.8Hz 的信号波形如图 5.5 所示，12941.5Hz 的信号波形如图 5.6 所示：

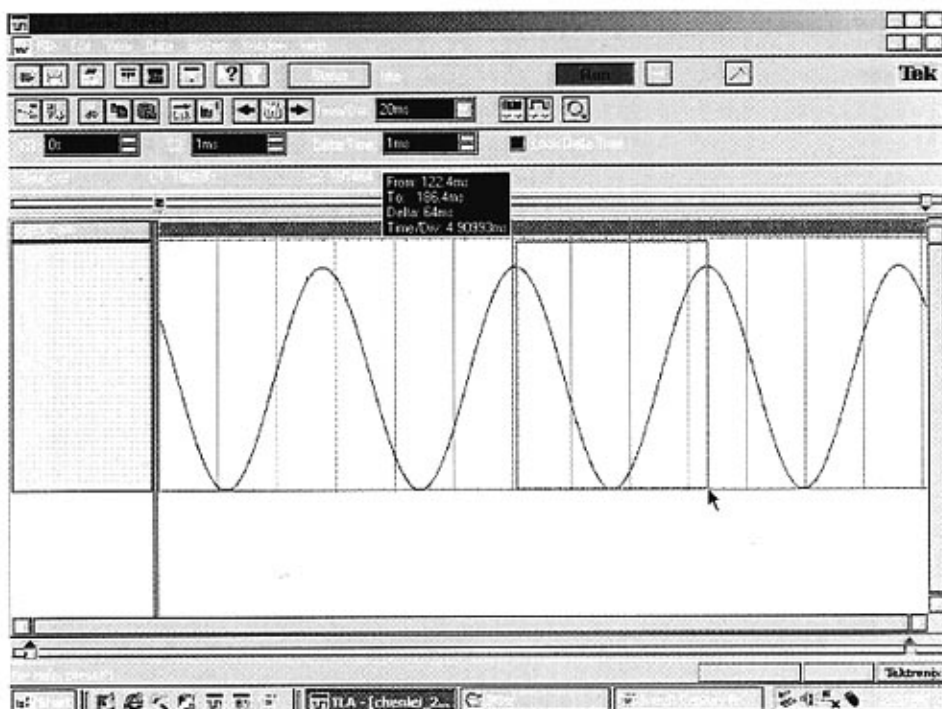


图 5.4 输出信号波形@21.5Hz

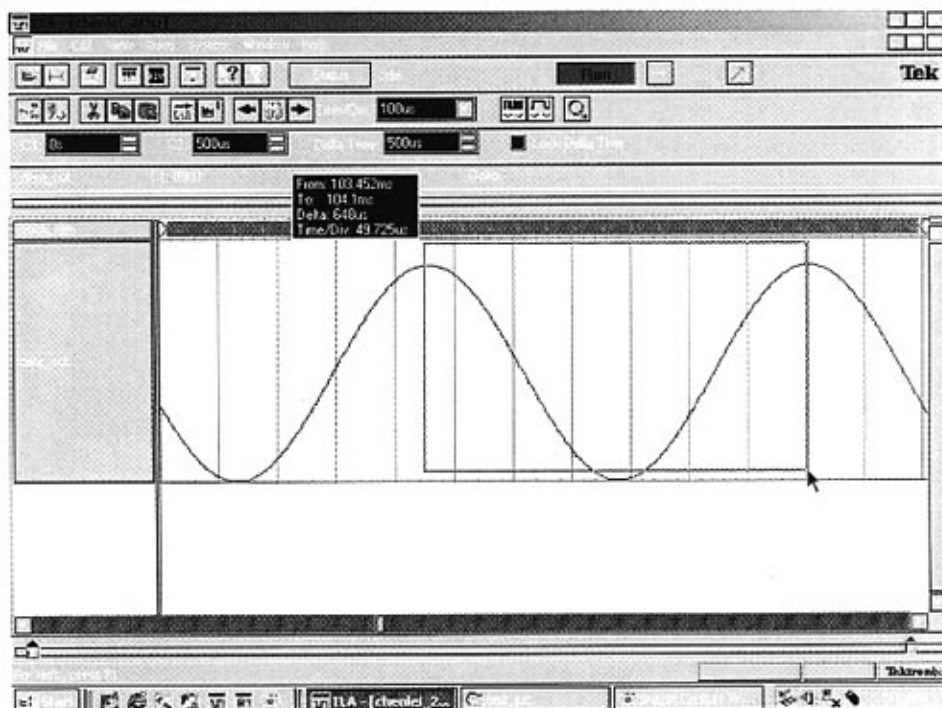


图 5.5 输出信号波形@174.8Hz

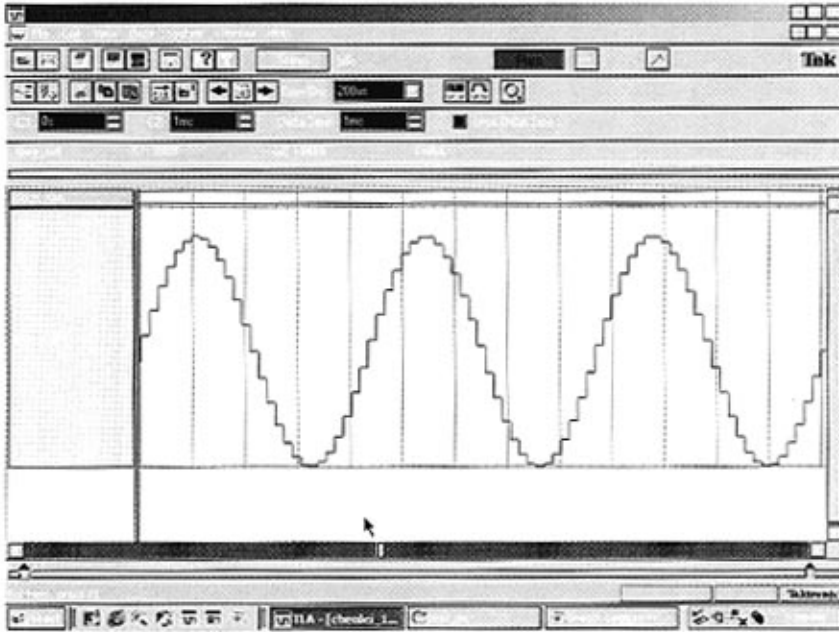


图 5.6 输出信号波形@12941.5Hz

2、非相干采样

4410Hz 的信号波形如图 5.7 所示，5000Hz 的信号波形如图 5.8 所示：

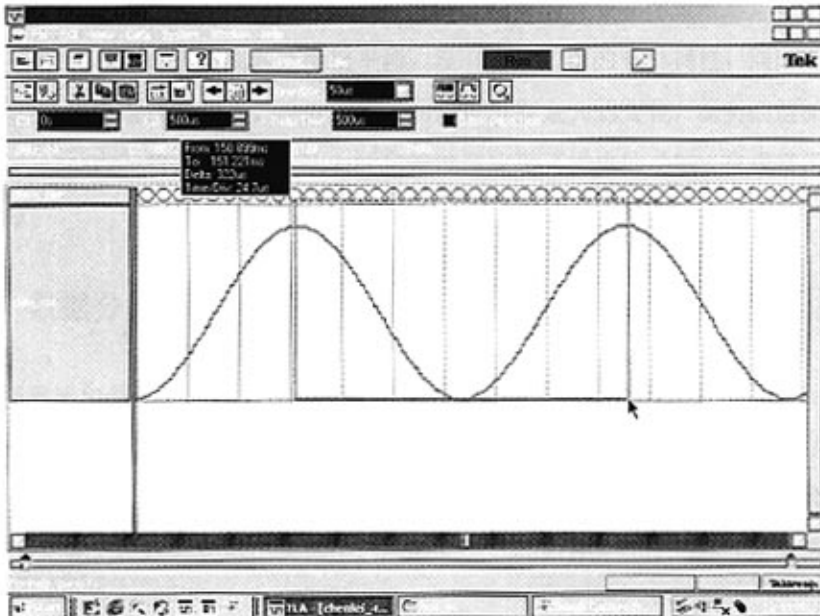


图 5.7 输出数据波形@4410Hz

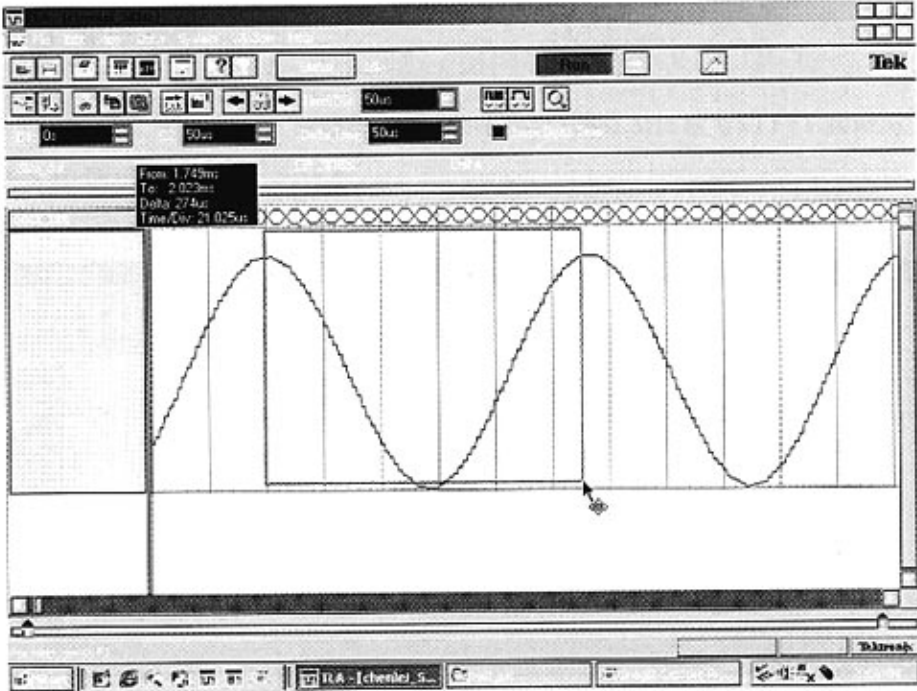


图 5.8 输出数据波形@5000Hz

通过观察输出信号的波形，芯片对于测试信号的响应都比较理想。输出信号均是正弦波，在波峰与波谷处插值平滑，没有出现数据的非单调性，同时无论是低频段还是通带内高频段，插值滤波器的响应没有太大的变化，说明插值滤波器通带内的响应一致，因此可以认为插值滤波器实现了插值的功能，在通带内响应正常。

5.3 数据分析

观察输出信号的波形只是验证了插值滤波器的功能，对于设计还有信噪比上的要求。因此利用逻辑分析仪的存储数据的功能，把芯片的输出数据存储在 Matlab 中做 FFT 分析，计算输出数据的信噪比。以下同样列举几组频率数据的 FFT 分析图。在每组频率比较图中，左边为仿真的结果，右边为芯片实际测试的结果。

5.3.1 相干采样

2174.8Hz 信号的 FFT 频谱图如图 5.9 所示，12941.5Hz 信号的 FFT 频谱图如图 5.10 所示：

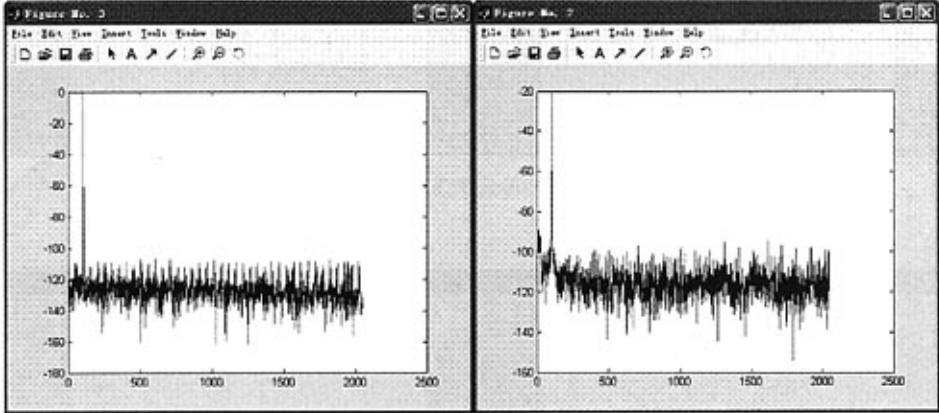


图 5.9 FFT 分析@2174.8Hz

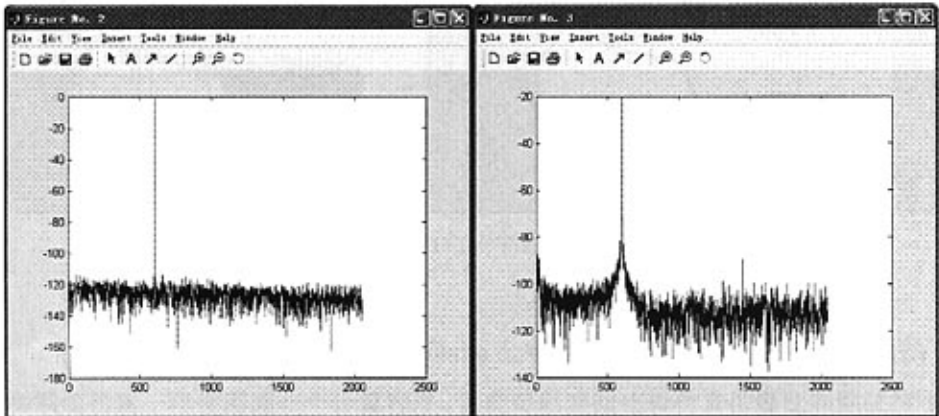


图 5.10 FFT 分析@12941.5Hz

5.3.2 非相干采样

4410Hz 信号 FFT 频谱图如图 5.11 所示，8820Hz 信号 FFT 频谱图如图 5.12 所示：

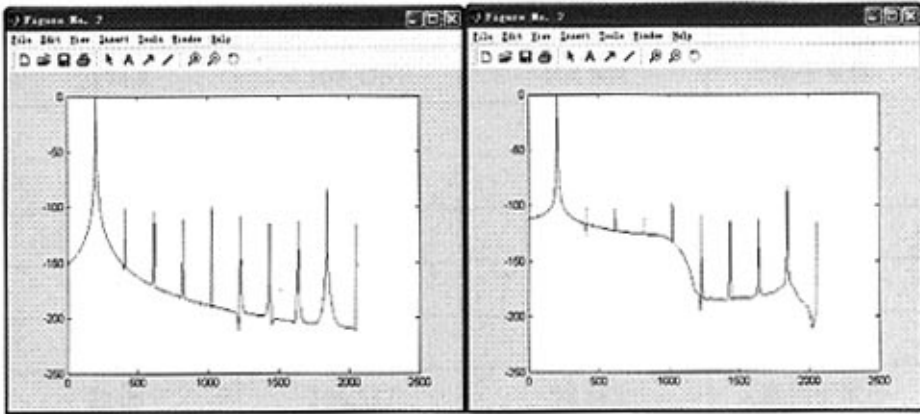


图 5.11 FFT 分析@4410Hz

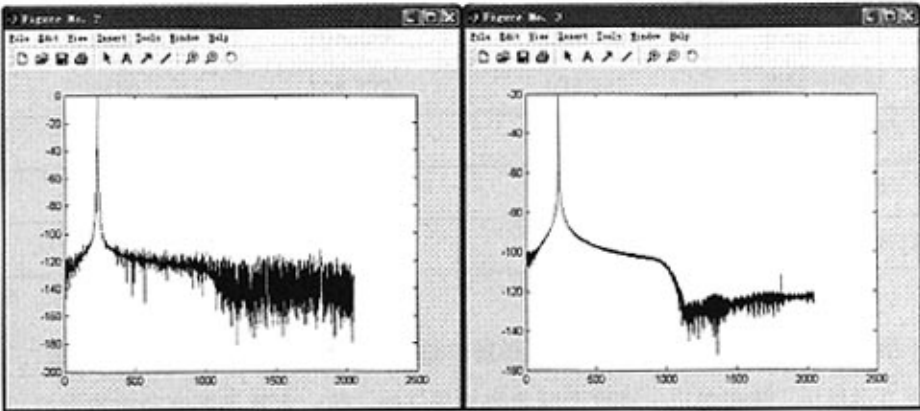


图 5.12 FFT 分析@5000Hz

信噪比的计算方法依然参考了 Maxim 公司推荐的测试 DAC 信噪比的方法，和系统仿真一样使用同一个计算程序，因此可以直接比较仿真信噪比和测试信噪比的差异，表 5.3 列举了所有测试频率的信噪比：

表 5.3 测试数据信噪比

信号频率 (Hz)	仿真信噪比 (dB)	测试信噪比 (dB)	采样类型
21.5	106.335	99.213	相干采样
107.7	106.802	102.241	相干采样
495.3	108.277	102.466	相干采样

1098.2	107.762	103.251	相干采样
2174.8	107.376	104.864	相干采样
4414.3	107.332	102.369	相干采样
6481.5	108.254	103.392	相干采样
8677.9	107.505	101.732	相干采样
12941.5	106.240	94.731	相干采样
18970.8	106.137	96.276	相干采样
22.05	106.537	98.883	非相干采样
44.1	107.022	100.138	非相干采样
441	107.357	103.298	非相干采样
1000	108.259	104.218	非相干采样
4410	108.772	107.342	非相干采样
5000	107.391	106.216	非相干采样
8820	109.526	107.726	非相干采样
17640	108.009	104.281	非相干采样

通过多组频率的信噪比分计算，插值滤波器的信噪比为 103dB 左右，非相干采样频率和仿真结果基本一致，相干采样频率和仿真有一定的偏差，主要是在低频和通带内高频处。根据测试结果可以认为插值滤波器对信号的响应基本理想，信噪比达到了设计的指标，但是在部分频段存在偏差，需要进一步改进。

5.4 测试结果总结

观察不同频率信号的波形以及对输出数据做 FFT 分析计算插值滤波器信噪比之后，对于设计，可以得出以下几个结论：

1、输出数据的波形平坦，在信号波峰和波谷的地方，不存在数据的突变，对于高频段的测试信号，比如 18KHz 的测试信号（测试数据一个周期只采样 2 个点），也可以保证插值的平缓，说明芯片实现了插值的功能。

2、大部分频率的输出信号噪声集中在 120dB 这个量级上，和仿真结果接近，但是在高频段（接近插值滤波器的通带截至频率 20KHz），噪声有一定的上升

(115dB 左右), 直接影响了信噪比, 分析其原因, 认为是数据采样的时候, 实际的晶振产生的时钟信号有一定的抖动, 同时由于高频信号一个周期内数据比较少, 信号受到干扰的比例较大, 因此带内高频相应不理想, 另一个原因是在仿真的时候带内高频段的设计余量不足。在后续的设计中, 可以提高滤波器的系数保证高频段的性能。

3、芯片对于非相干采样的频率相应比较理想, 特别是倍频的情况 (4.41KHz 和 8.82KHz), 测试结果和仿真结果很接近, 原因在于, 对于倍频的测试数据, 提供给芯片的测试数据是周期的, 逻辑分析仪获得比较理想波形的可能性比相干采样的数据大得多, 因此其结果也比较理想。

4、输出信号带内的谐波比较大, 部分频率的谐波达到了 85dB, 这是仿真中没有出现的 (仿真中输出信号的谐波基本上和噪声处于同一个量级), 分析其原因, 认为是和输出数据的采样有关, 逻辑分析仪需要采样 131072 个数据, 很难保证对输出数据每个周期采样的数据一致, 而这个正是引起谐波的原因, 而仿真中, 可以准确地保证每个周期数据的一致, 因此谐波不明显。

5、大部分频率测试信号的信噪比在 103dB 左右, 和仿真值接近, 相干采样的高频部分信噪比只有 95dB 左右, 和仿真值有一定的差距, 但是非相干采样的高频段的信噪比基本也在 103dB, 因此认为测试方法对测试结果有一定的影响, 同时考虑到插值滤波器后端有对噪声整形的调制器, 可以进一步缓解高频段噪声, 因此认为芯片达到了设计的要求。

通过测试观察以及数据的分析, 认为芯片工作正常, 实现了插值的功能, 芯片的性能和设计仿真值接近, 由于测试方法上的差异, 芯片在通带内部分高频处和仿真值有一定的偏差, 芯片基本满足设计要求。

回顾与展望

本课题的内容是 Sigma-Delta DAC 中插值滤波器芯片的研究与设计。通过整体分析,进行了插值滤波器的系统设计、代码实现、FPGA 验证、布局布线和流片测试工作。

本课题的研究工作大约是从 2005 年 9 月开始,到 2006 年 12 月基本完成了芯片的设计、实现和首次流片测试工作。回顾这一年多的学习和工作,既享受到了一些成功的喜悦,也感受到了一定的压力。插值滤波器只是 DAC 中的一个模块,后期还需要整合到整个 DAC 系统中去进行整体分析和仿真,因此还需要付出更多的努力和汗水。

研究工作的开始阶段是进行课题相关背景的研究和调查。通过阅读国内外大量的相关资料,掌握了有关 DAC,特别是 Sigma-Delta DAC 的工作原理、系统结构、国内外近期的研究情况等资料,对于需要设计的插值滤波器进行了系统分析,从插值滤波器的数学原理入手,详细分析了插值滤波器的工作原理、系统结构,为后期的设计工作打下了良好的基础。

研究工作的第二阶段是进行芯片的设计和实现。在初期的系统仿真中,利用 Matlab 中 Simulink 对插值滤波器的系统进行了建模,通过反复仿真,调整系统的各种参数,特别是充分优化了滤波器的系数,使得设计面积很小;在完成了滤波器的代码之后,还对设计进行了 FPGA 验证,验证了设计的物理可实现性;最后用 Design Compiler 对设计进行了综合,用 Encounter 进行了自动布局布线,从而完成了芯片的 ASIC 设计。

研究工作的第三阶段是进行芯片的流片、封装。在自动布局布线完成以后,参加了上海中芯国际的 0.18 μm 数模混合信号 CMOS 工艺进行了流片。流片结束之后由绍兴的华越芯装对裸片进行了封装。

最后,对封装好的芯片进行了测试,设计的各个模块功能都得到了实现,根据测试,本芯片的主要参数如下所示:

- 1、分辨率: 18 位;
- 2、信号带宽: 19.3KHz;
- 3、插值率: 64 倍

4、信噪比： 103dB

根据测试的结果，认为芯片工作正常，实现了插值的功能，插值滤波器的主要参数信噪比和设计指标相符，可以满足音频应用的要求。总体而言，芯片的结果令人满意，和同类型的设计相比，本论文描述的插值滤波器具有以下几个方面的特点：

1、充分优化了滤波器的系数，三级 64 倍插值只使用了 67 个系数，相比其他设计有大幅度地减少，从而减小了芯片的面积，芯片整体面积只有 2 um^2 (Core 部分为 1.2 um^2)。

2、设计中采用插零的插值算法，相比梳妆滤波器的插值方法，虽然增加了设计难度，但是可以根据音频信号的特点合理地控制滤波器的参数，从而保证滤波器指标不会因为系数的较少而下降。

3、设计从系统的角度对插值滤波器最重要的参数——信噪比进行了分析、仿真，并且利用 FPGA 对设计进行了物理验证，测试信噪比达到了 103dB，满足音频的应用要求。

本次流片各个模块的功能都得到了实现，但还是存在一些不足之处，总的来说，还需要在以下几个方面进行改进：

1、高频设计余量不足。插值滤波器的通带截止频率为 19.3KHz，与设计要求的 20KHz 有一定的差距，可以通过适当增加滤波器的系数来保证通带的截止频率。同时，增加系数也可以在一定程度上提高信号的通带波纹和阻带衰减，从而提高通带内高频段性能。

2、插值滤波器采用的是并行输入的形式，现在大部分的商用 DAC 都采用的是串行输入，这样可以节省 I/O 数目，这也增加了设计的难度。今后可以考虑加入串并转换的模块放在插值滤波器的前端，从而不需要修改插值滤波器的结构就可以实现设计的串行输入。

3、插值滤波器只是 DAC 中的一个部分，Sigma-Delta DAC 的数字部分包括插值滤波器、Sigma-Delta 调制器和数据加权模块 (Data Weighted Average)，整个数字部分还需要进行联合仿真，从而分析插值滤波器是否对于数字部分的整体性能有影响。

附录

DAC 量化噪声推导

DAC 的精度等于实际输入码字的位数，用 N 位表示， N 为位数。图 1 为一个理想的 3 位 DAC 的输入和输出特性。可以看出 8 个可能的码字中的每一个都有其特定的模拟输出电压。这些电平用 LSB 来区分。LSB 的值定义为：

$$LSB = \frac{V_{REF}}{2^N}$$

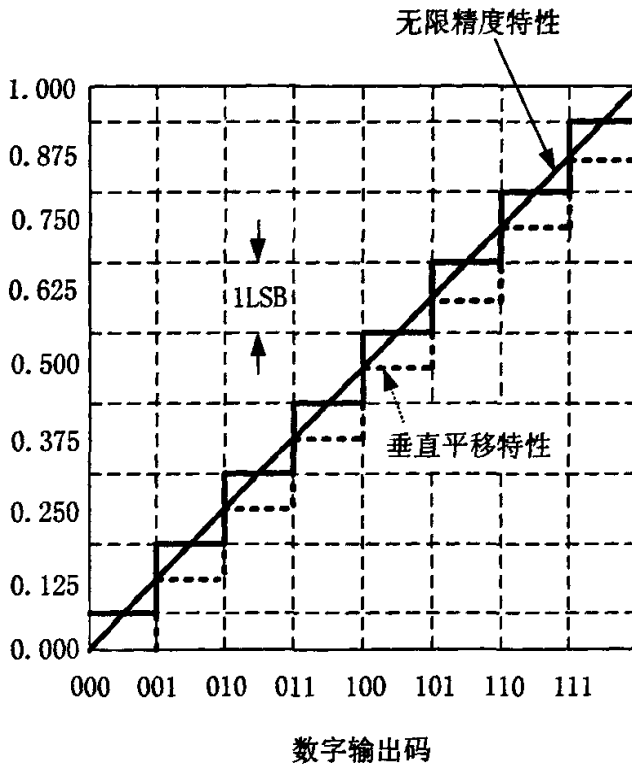


图 1 理想 DAC 输入输出特性

码字每增加 1 位，理想 DAC 的输出将增加 1LSB。因为 DAC 的精度是有限的，所以最大的模拟输出电压不等于 V_{REF} 。这个特性用 DAC 的满刻度值 (FS) 来描述。刻度值定义为最大码字 (111...) 和最小码字 (000...) 对应的模拟输出量之差。一般而言，DAC 的满刻度值可以表示为：

$$\text{满刻度值 (FS)} \approx V_{REF} - LSB = V_{REF} \left(1 - \frac{1}{2^N}\right)$$

FS 的这个定义没有考虑特性是否平移了 $\pm LSB$ 。在图 1 中, FS 等于 $0.875V_{REF}$ 。

满刻度范围 FSR 定义为:

$$FSR = \lim_{N \rightarrow \infty} FS = V_{REF}$$

基于上述讨论, 可以进行量化噪声的推导。噪声量化是在用一个有限精度的转换器将模拟值进行数字化过程中所存在的固有不确定性。图 1 给出了一个无限转换精度的 DAC 的特性。这条线代表了当有限 DAC 的位数 N 趋于无限大时的特性极限值。量化噪声等于无限位 DAC 的模拟输出量与有限位 DAC 的模拟输出量之差。以 3 位特性的量化噪声为例, 可以得到图 2 所示的结果:

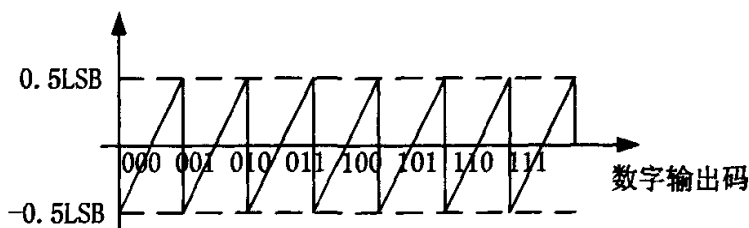


图 2 量化噪声

从图 2 中可以看出, 量化噪声为图 2 所示一个峰峰值为 $1LSB$ 的锯齿波。注意到 $0.5LSB = \frac{FSR}{2^{N+1}}$ 是很有用的。这个噪声是 DAC 的一个基本特征, 它代表了转换器的精度限制。即可以把 DAC 的不精确度降低至 $\pm 0.5LSB$ 范围内, 所以再进一步的减小被量化噪声所掩盖, 只有通过增加分辨率来降低量化噪声。

显然量化噪声的均方根可以通过取量化噪声平方的均值的平方根得到, 其结果是:

$$\text{rms (量化噪声)} = \sqrt{\frac{1}{T} \int_0^T LSB^2 \left(\frac{t}{T} - 0.5\right)^2 dt} = \frac{LSB}{\sqrt{12}} = \frac{FSR}{2^N \sqrt{12}}$$

参考文献

1. Phillip E. Allen, Douglas R. Holberg. CMOS 模拟集成电路设计. 电子工业出版社, 2003: 501-532
2. Richard Schreier, Gabor C. Temes. Understanding Delta-Sigma Data Converter. a John Wiley & Sons, INC., Publication, 2005:219-253.
3. 刘益成等. 信号处理与过抽样转换器. 电子工业出版社, 1997:110-148.
4. 程佩青. 数字信号处理. 清华大学出版社, 2001: 209-217
5. Ichiro Fujimori. A 1.5V, 4.1mW Dual-Channel Audio Delta-Sigma D/A converter. [J] in IEEE Sol Sta Circ 1998 Page(s):1863 - 1870.
6. Nam-Keal Kim, Wang-Seup Yeum, Jea-Whui Kim. A 2.4V, 12mW Stereo Audio D/A Converter with Double Sampling Switching. IEEE International Symposium on Circuit and System, 2000
7. 楼顺天, 李博菡. 基于 Matlab 的系统分析与设计——信号处理. 1998: 183-204
8. 龙善丽、茆邦琴、吴建辉、张耀忠、丁家平. $\Sigma\Delta$ DAC 中插值滤波器的设计. 电路与系统学报 2006 Vol 11:20-23.
9. Kei-Yong Khoo, Alan Kwentus, and Alan N. Willson. Jr. A Programmable FIR Digital Filter Using CSD Coefficients. [J]. IEEE J Sol Sta Circ, 1996, 31(6):869-874.
10. Michael D. Ciletti. Verilog HDL 高级数字设计. 2005, 159-237
11. 张明编著. Verilog HDL 实用教程. 电子科技大学出版社. 1999: 57-78
12. 夏宇闻编著. 复杂数字电路与系统的 Verilog HDL 设计技术. 北京航空航天大学出版社 1998: 87-106
13. 何小艇主编. 数字电路. 浙江大学出版社, 1995: 147-167
14. Maxim Application Note. Defining and Testing Dynamic Parameter in High-Speed ADCs.
15. 王诚, 薛小刚, 钟信潮. FPGA/CPLD 设计工具——Xilinx ISE 使用详解. 电信出版社 2005 : 339-487.

16. J. Bhasker 著, 孙海平译. Verilog HDL 综合实用教程. 2004: 11-85
17. Synopsys Manu. Advanced ASIC Chip Stnthesis
18. Encounter Menu Reference, Cadence Product Version 4.1 June 2004
19. R. Jacob Baker, "CMOS: Mixed-Signal Circuit Design", 科学出版社 2004:63-148.
20. 韩雁. 专用集成电路设计技术基础. 电子科技大学出版社, 15-32

致谢

毕业论文到此顺利完成，它为我两年的研究生生涯画上圆满的句号。在本次毕业设计中，我得到了许多老师和同学的帮助和鼓励，在此表示衷心得感谢！

感谢我的指导老师——韩雁教授的悉心帮助和对我工作、学习上的督促。她给了我一个很好的机会，让我能够在这个过程中提高实践动手能力和分析问题、解决问题的能力。在读研的整个过程中，韩老师的勤奋和努力很值得我学习，特别是在工作非常繁忙的情况下，她都不曾中断对我的指导。同时，她工作的高效率也给我留下了很深的印象。

感谢所有关帮助过我的全体微电子所的老师。他们所给予我的帮助和建议使我受益非浅。

感谢黄小伟师兄在本课题研究过程中给予的帮助，没有他的帮助和支持，本课题不可能在两年时间内基本完成。

感谢我的师兄洪慧、马绍宇、周海锋、胡惊、潘海锋、杨旻、叶晓伟，在我们相处的日子里，他们给予了我很多帮助，和他们的讨论使我打下了良好的专业基础。

感谢蔡友、陈茗、刘同、黄剑锋、周月朗、高阳、岳亚富、朱彬等同学，和他们的讨论使我对问题有了更深的理解。

感谢陈金龙、付文、崔强等师弟们，他们所给予我在生活和学习上的帮助让人难忘。

最后，特别感谢要的是我的父母和朋友们，他们对我在各方面的关心和支持是巨大而温暖的，他们是我生活中最坚实的后盾，我将永远铭刻在心。

陈磊

2006年5月于浙大微电子所

作者: [陈磊](#)

学位授予单位: [浙江大学](#)

本文读者也读过(8条)

1. [石林安](#) [基于Sigma-Delta调制器的数模转换器的研究和设计](#)[学位论文]2006
2. [沈佳铭](#) [用于音频 \$\Sigma-\Delta\$ DAC的多位量化调制滤波技术研究](#)[学位论文]2007
3. [周平](#) [应用失配整形技术的音频 \$\Delta-\Sigma\$ DAC设计](#)[学位论文]2004
4. [杜辉](#) [Delta-Sigma数模转换器的理论与设计](#)[学位论文]2008
5. [米佳](#) [16位 \$\Sigma-\Delta\$ DAC的 \$\Sigma-\Delta\$ 调制器的研究和设计](#)[学位论文]2002
6. [李晶](#) [一种应用于Sigma-Delta音频DAC的低功耗内插滤波器的研究与设计](#)[学位论文]2011
7. [蔡友](#) [Sigma-Delta ADC中抽取滤波器的研究与实现](#)[学位论文]2007
8. [冯守博](#) [16bit音频过采样DAC的FPGA设计实现](#)[学位论文]2008

引用本文格式: [陈磊](#) [Sigma-Delta DAC中插值滤波器的研究与实现](#)[学位论文]硕士 2007