

# 电阻小结

Superczy (陈征宇)

superczy@tom.com

2005. 6. 1

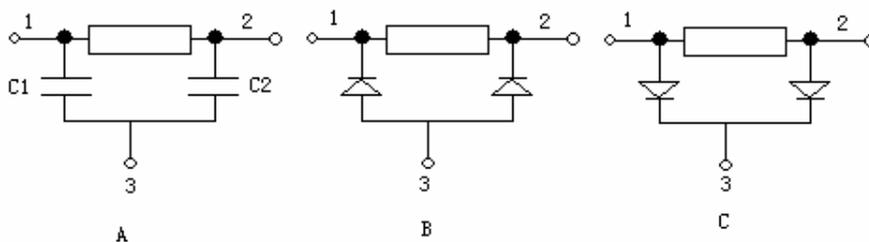
## 1 集成电路中电阻的种类

在集成电路工艺中，电阻可以同过很多种方式来实现，电阻主体可以通过不同的层来实现。通常按照不同的制作方式电阻分为：阱电阻、p+/n+电阻、Poly 电阻、金属电阻，其中对于 p+/n+电阻和 Poly 电阻还存在硅化和非硅化电阻之分，不同的电阻性能相差较大。

### 1.1 电阻 Spice 模型

在精确分析电阻时，使用的电阻的非线性模型，这种模型包括：电压非线性、温度特性、寄生电容[参考###spectreref -> Component Statements Part III -> Two Terminal Resistor (resistor)]。更精确的电阻模型寄生电容也存在非线性，如电容的电压非线性和温度特性，这种模型一般用于n well、p+/n+电阻模型，这种模型等效为电阻主体和两个二极管[参考###spectreref -> Component Statements Part III -> Physical Resistor (phy\_res)]。

电阻非线性模型等效电路如下：



电阻模型

图一 各种电阻的等效模型

其中A对应Terminal Resistor模型，一般用于Poly电阻，B和C对应Physical Resistor模型，一般用于n well、p+/n+这种用扩散区做得电阻。其中B对应p+和p well 电阻模型，C对应n+和n well电阻模型。

#### 电阻主体的非线性计算：

考虑电压非线性和温度系数的话，电阻的计算为：

$$R = [Rsh * (L - 2 * etch1) / (W - 2 * etch)] * (1 + c1 * V + c2 * V^2 + ...) * [1 + tc1 * (T - tnom) + tc2 * (T - tnom)^2]$$

其中 Rsh 为方块薄层电阻；etch1 和 etch 分别是电阻实际制作完成后和设计时的理想几何尺寸 L、W 的差别，etch1 和 etch 分别表示 L、W 的缩减；c1 和 c2 分别为一次电压系数和

二次电压系数，V 是电阻两端的压差；tc1 和 tc2 分别表示一次温度系数和二次温度系数，tnom 表示 model 规定的正常温度。

这样如果不考虑电压非线性和温度时，电阻主体的表达式为

$$R = [R_{sh} * (L - 2 * etch1) / (W - 2 * etch)]$$

即方块电阻和长宽比的乘积。

### 寄生电容的计算：

A 中的电容表达式为：

$$C = C_j * (L - 2 * etch1) * (W - 2 * etch) + 2 * C_{jsw} * (W + L - 2 * etch - 2 * etch1) * [1 + tc1c * (T - tnom) + tc2c * (T - tnom)^2]$$

Cj 和 Cjsw 分别是面积和周长相关的电容密度；etch1 和 etch 分别是电阻实际制作完成后和设计时的理想几何尺寸 L、W 的差别，etch1 和 etch 分别表示 L、W 的缩减；tc1c 和 tc2c 分别表示一次温度系数和二次温度系数，tnom 表示 model 规定的正常温度。

$$C1 = C * cratio$$

$$C2 = C * (1 - cratio)$$

Cratio 是电容分布在 1, 2 端的系数。

B、C 中的电容是二极管的寄生电容，除了和温度有关外，还存在电压非线性，[参考###spectreref -> Component Statements Part II -> Physical Resistor (phy\_res)]。

如果不考虑非线性的话，电容计算和 A 中相同。

有些厂家的某些工艺给的电阻模型都不考虑电容。

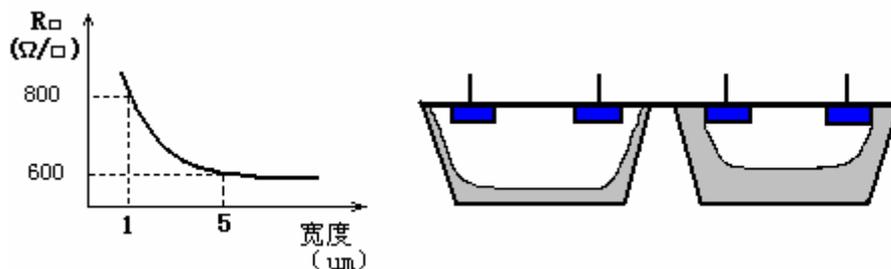
## 1.2 各种电阻

### 阱电阻(Well diffuse resistor)：

即用阱来做电阻主体，在 P 衬底工艺下阱电阻一般 n well 层来实现，(n well diffuse resistor)。

特点：

- ◇ n 阱电阻的方块薄层电阻 Rsh (sheet resistance) 比较大，通常为几百欧姆。但是其不仅受工艺的影响，而且 Rsh 也受电阻宽度的影响(如下图)。



图二 n well 电阻的非线性

这是由于宽度为几微米时，n 阱在边缘的扩散与宽度有关。

- ◇ n 阱电阻的 Rsh 还随着阱到衬底的电压变化而改变剧烈，这导致电阻呈现出严重的非线性

性。这是因为阱是低参杂的，如果阱到衬底的压差不一样的话，由 pn 结知识可知，阱底部和衬底间的反型层的厚度变化比较大，严重影响 n 阱单位长宽的电阻值。这样 n 阱电阻难确定阻值的大小，匹配起来比较困难。

#### p+/n+电阻(p+/n+ diffuse resistor)

这种电阻是在衬底或者阱中用 p+或 n+扩散区制做而成的电阻。这种电阻和阱电阻的区别从本质上来说就是参杂浓度，阱和衬底的参杂要远低于 p+/n+扩散区，这也导致这两种电阻性能差别。

特点：

- ✧ p+/n+电阻的参杂浓度高于阱电阻，因而其薄层电阻（Rsh）要比阱电阻小，通常在 100-200 欧姆左右。
- ✧ p+/n+电阻的薄层电阻(Rsh)对于扩散区到阱或者衬底的电压变化不像阱电阻这样敏感。因为 p+/n+电阻的参杂浓度高，对于特定的压差变化，p+/n+扩散区中的反型层厚度变化小。这样 p+/n+电阻的匹配性能要比 n well 电阻好。
- ✧ p+/n+电阻的具有较大的寄生电容。由电阻的模型一节可知，像 n well 电阻、p+/n+电阻这种扩散区作的电阻，它的等效模型包括两个反向偏压得 pn 结。由 pn 结相关知识可知，反偏的 pn 结以势垒电容为主，而参杂浓度越大，单位电荷所占的反型层越薄的话势垒电容越大，这一点是显而易见的（参见“电子线路（二）：本科模电教材”）。这样，p+/n+电阻的寄生 pn 结电容会比 n well 的寄生 pn 结电容大。

#### Poly 电阻

Poly 电阻时集成电路设计中最常用到的一种电阻，它是由用作 MOS 管栅极的 Poly 层做成的电阻，有些工艺除了有用来做栅极的 Poly，还有专门用来做电阻电容的其它 Poly 层。

Poly 电阻般会有很多种：

参杂硅化的 Poly 电阻、参杂非硅化的的 Poly 电阻、非参杂非硅化的 Poly 电阻。

- ✧ 参杂硅化的 Poly 电阻。

Polysilicon 本身的薄层电阻（Rsh）是比较大的，由于其通常用来做 MOS 管的栅极，所以为了降低栅极上的电压分布，一般对 Poly 注入 n+或者 p+杂质离子，这一点可以从继承电路的制作工艺上看出来。因为 MOS 管都是做完栅极，再在整个活性区进行 p+/n+离子注入在 Poly 的两侧形成 p+或 n+扩散区，这样 Poly 本身也被注入了 p+或 n+杂质离子。同时为了进一步减少 Poly 的电阻，提高 MOS 性能，在现代短沟道工艺中都有 Polysilicide 工序，在用作栅极的 Poly 层上沉积导电的硅化物。

这样，如果用栅极的 Poly 层来做电阻的话，不采用特殊处理的话，电阻是参杂硅化的 Poly 电阻

- ✧ 参杂非硅化的 Poly 电阻。

对于电阻来说，硅化物不仅降低了薄层电阻（Rsh），而且由于硅化物工艺参数会引入偏差，如不同晶圆沉积的厚度不一，所以薄层电阻随工艺相对波动范围大，同时同一晶圆上，由于硅化物的存在，它的电阻的匹配性能也不如非硅化的 Poly 电阻。为了制作更精确的电阻，许多工艺提供“硅化物阻挡层”，即在用作电阻 Poly 上覆盖上一层硅化物阻挡层，防止 Poly 被硅化。这样的电阻为参杂非硅化 Poly 电阻。

- ✧ 非参杂非硅化的 Poly 电阻。

为了在 Poly 上制作高阻，有些工艺提供阻值 Poly 被硅化的同时也防止对 Poly 进行离子注入，这样的 Poly 电阻高薄层电阻（Rsh）比 n well 电阻还要大，同时具备比较好

的性能。

备注：因为 Silicide 工序对 MOS 管扩散区也进行硅化，降低 MOS 管漏源极上的电压分布，所以 p+/n+电阻也分为硅化的 P+/n+和非硅化的 p+/n+；前面讨论的 p+/n+电阻属于非硅化的电阻。

特点：

✧ 参杂非硅化的 Poly 电阻。

这种 Poly 电阻的薄层电阻比 n well 和 p+/n+电阻小，一般为几十到一百多欧。由其电阻等效模型可知，由于其不存在寄生二极管，不会有反型层的影响，因而具有较高的线性度。因而匹配性能是电阻中最好的，一般用来做高精电阻。

电阻的寄生电容可认为是 Poly 和衬底形成的平板线性电容，和面积相关的电容系数  $C_j$  基本上和 n well 的相当或稍微大点，但是 Poly 和衬垫形成的电容不像 n well 的 pn 结电容一样和边缘相关的电容还占很大比例。因而一般小面积电阻，Poly 电阻的电容会比 n well 电阻的寄生电容小，而大面积电容则可能稍微大点！但不管怎么样都会远远小于 p+/n+电阻的寄生电容。

如：一般 Poly 和 n well 和面积相关的寄生电容系数  $C_j$  在  $100e-6$  左右，而 p+/n+电阻电容系数  $C_j$  在  $1e-3$  左右。

这种 Poly 电阻的温度系数也会偏小，参见(图 3: TSMC\_0.25um CMOS mixed signal 工艺下各种电阻的参数 )。

✧ 参杂硅化的 Poly 电阻。

硅化后的 Poly 电阻的薄层电阻非常低，一般在 3-5 欧姆左右。而且由于硅化物工艺参数会引入偏差，如不同晶圆沉积的厚度不一，所以薄层电阻随工艺相对波动范围大，一般会在 70%左右。同时同一晶圆上，由于硅化物的存在，它的电阻的匹配性能、线性度、温度系数等都不如非硅化的 Poly 电阻。

同理，硅化的 P+/n+电阻线性度、匹配性能也不如非硅化的 p+/n+电阻。

✧ 非参杂非硅化的 Ploy 电阻。

这种电阻的薄层电阻极高，一般在 1-2K 左右，寄生电容、温度系数、线性度等都和非硅化的 Poly 电阻相当。

### 金属电阻

金属电阻是所有电阻中薄层电阻最小的，一般用来做其他电阻无法完成的小电阻，如超高速 Flash ADC 中的电阻阶梯。

### 1.3 具体工艺下的电阻模型参数

#### TSMC 0.25um CMOS Mixed signal Process resistor model

tsmc Taiwan Semiconductor Manufacturing Co., LTD

tsmc  
Confidential

Document No.	T-025-MM-SP-001	Rev.	1.8A	Page	37
--------------	-----------------	------	------	------	----

#### 7.4 MODEL OF RESISTORS

The measurement results from the testchip are listed below:

(The sheet resistance are measured from long resistors and the contact resistance are extracted from contact-string patterns.)

##### (a) Sheet Resistance Table :

Film	Valid Width	Rs Mean/Range	Unit	TC1	TC2	VC1	VC2	deltaW ( $\mu\text{m}$ )	deltaL ( $\mu\text{m}$ )
P+ Poly w/o Silicide	-	160 $\pm$ 30	$\Omega/\text{sq}$	7.64E-4	NA	5.52E-4	NA	0.02	0.5
		Rint=137.7 $\pm$ 20	$\Omega/\mu\text{m}$	-8.57E-4	NA	0.916	NA		
P+ Poly w/i Silicide	W $\geq$ 2.0	5.0 $\pm$ 4.0	$\Omega/\text{sq}$	3.04E-3	-2.61E-7	5.66E-3	1.08E-2	-0.03	-
P+ Poly w/i Silicide	0.24 $\leq$ W<2.0	5.0 $\pm$ 4.0	$\Omega/\text{sq}$	3.04E-3	-2.61E-7	5.66E-3	1.08E-2	-0.03	-
N+ Poly w/o Silicide	-	180 $\pm$ 30	$\Omega/\text{sq}$	-6.2E-4	NA	7.02E-3	-2E-3	0.04	0.2
		Rint=37.1 $\pm$ 10	$\Omega/\mu\text{m}$	-4.2E-4	NA	-5.24	NA		
N+ Poly w/i Silicide	W $\geq$ 2.0	5.0 $\pm$ 4.0	$\Omega/\text{sq}$	3.15E-3	8.52E-7	5.37E-3	1.06E-2	-0.03	-
N+ Poly w/i Silicide	0.24 $\leq$ W<2.0	5.3+4.7 (max) 5.3-1.8 (min)	$\Omega/\text{sq}$	3.15E-3	8.52E-7	5.37E-3	1.06E-2	-0.03	-
N+ diff. w/i Silicide	W $\geq$ 2.0	5.0 $\pm$ 4.0	$\Omega/\text{sq}$	2.98E-3	1.36E-8	3.30E-3	1.30E-3	0.02	-
N+ diff. w/i Silicide	0.3 $\leq$ W<2.0	10.5+14.5 (max) 10.5-6.5 (min)	$\Omega/\text{sq}$	2.98E-3	1.36E-8	3.30E-3	1.30E-3	0.02	-
N+ diff. w/o Silicide	-	61 $\pm$ 7.5	$\Omega/\text{sq}$	1.45E-3	1.43E-7	1.60E-3	-9.03E-5	0.01	-
P+ diff. w/i Silicide	W $\geq$ 2.0	5.0 $\pm$ 4.0	$\Omega/\text{sq}$	3.20E-3	-2.82E-7	-4.15E-4	3.31E-3	0.02	-
P+ diff. w/i Silicide	0.3 $\leq$ W<2.0	5.0 $\pm$ 4.0	$\Omega/\text{sq}$	3.20E-3	-2.82E-7	-4.15E-4	3.31E-3	0.02	-
P+ diff. w/o Silicide	-	145 $\pm$ 20	$\Omega/\text{sq}$	1.41E-3	9.52E-7	2.02E-3	-1.54E-4	0.01	-
N-well. Under OD	-	530 $\pm$ 70	$\Omega/\text{sq}$	2.78E-3	8.11E-6	NA	NA	0.15	-
N-well. Under STI	W $\geq$ 2.0	1100 $\pm$ 250	$\Omega/\text{sq}$	3.60E-3	1.12E-5	9.00E-3	-7.16E-4	0.24	-
N+ diff. w/o Silicide w/i ESD	-	60 $\pm$ NA	$\Omega/\text{sq}$	1.25E-3	2.54E-6	NA	NA	0.01	-
M1	-	0.076 (<0.139)	$\Omega/\text{sq}$	3.27E-3	2.38E-7	NA	NA	-0.02	-
M2	-	0.076 (<0.138)	$\Omega/\text{sq}$	3.29E-3	2.60E-7	NA	NA	-0.02	-
M3	-	0.076 (<0.138)	$\Omega/\text{sq}$	3.34E-3	NA	NA	NA	-0.02	-
M4	-	0.076 (<0.138)	$\Omega/\text{sq}$	3.18E-3	NA	NA	NA	-0.02	-
M5	-	0.041 (<0.105)	$\Omega/\text{sq}$	3.14E-3	2.71E-6	NA	NA	-0.02	-
RC_N+	-	7.4 (<20)	$\Omega/\text{ct}$	-	-	-	-	-	-
RC_P+	-	5.8 (<20)	$\Omega/\text{ct}$	-	-	-	-	-	-
RC_PO(N+)	-	7.0 (<20)	$\Omega/\text{ct}$	-	-	-	-	-	-
RC_PO(P+)	-	6.1 (<20)	$\Omega/\text{ct}$	-	-	-	-	-	-
RC_VIA1	-	4 (<13)	$\Omega/\text{ct}$	-	-	-	-	-	-
RC_VIA2	-	4 (<13)	$\Omega/\text{ct}$	-	-	-	-	-	-
RC_VIA3	-	4 (<13)	$\Omega/\text{ct}$	-	-	-	-	-	-
RC_VIA4	-	4 (<13)	$\Omega/\text{ct}$	-	-	-	-	-	-

\* RSH for N+ and P+ diff. w/i silicide are measured from patterns with width of 2um. These two RSH values are geometry dependent. Metal sheet resistance are measured from long serpentine resistors with minimum rule.

\* The TCR and VCR of N+/P+Poly w/o Silicide are separated to the parts of  $R_n/R_p$  and  $R_{end}$ .

\* The resistor values are functions of temperature as follows:

$$R(T) = R_0 * [1 + TC1 * dT + TC2 * (dT)^2]; \text{ where } dT = T - T_{nominal} (25^\circ\text{C}) \text{ Valid range : } 25^\circ\text{C} \sim 125^\circ\text{C}$$

\* The resistor values are functions of voltage as follows:

$$R(V) = R_0 * [1 + VC1 * dV + VC2 * (dV)^2] \text{ Valid range : } 0 \sim 3.3V$$

The resistance is measured with one node of resistor grounded, whereas the other node is applied by V and dV is the voltage across the resistor.

\* R0 is layout-dependent and calculated from sheet resistance. The equation is :

$$R_0 = RSH * L / (W - \text{delta}W); \text{ W is the drawn width.}$$

\* Please note that the PCM spec. for RC\_N+, RC\_P+, and RC\_PO include about 0.1 square diffusion resistance, where the measured values exclude the diffusion resistance.

These PCM spec. values are defined with the unit of ohm/sec.

图三 TSMC\_0.25um CMOS mixed signal 工艺下各种电阻的参数

具体工艺下各种电阻版图怎么实现，参考：“\$My\_IC\_data\设计规则\mos 模型\TSMC 的相关说明文档”

参考:

[1] ###Chart 0.35um resistor models

[2] ###TSMC 0.25um resistor models

## 2 电阻的精度

### 2.1 电阻的绝对偏差和失配。

和MOS管一样，由于工艺误差的存在，电阻在制作出来以后会和设计值存在误差。设计电路时根据分析问题的角度不同，一般器件的误差可以分为两类：绝对误差和匹配误差。

✧ 绝对误差是器件的设计值和实际值间的绝对偏差。

✧ 匹配误差是值设计值相同的器件的实际值间的偏差。

一般情况下器件的绝对误差会远远大于器件的匹配误差。可能匹配器件的实际值都和设计值相差的很远，但它们的实际值间的偏差会很小。电路设计时重点考虑哪一类偏差跟据电路设计而不同。

从图三可以看出来，对于所有类型的电阻，它们的绝对工艺误差是比较大的，一般在10%-30%，对于硅化的Poly、p+/n+电阻的误差在70%以上。正因为电阻绝对对工艺误差大，所以一般电阻都是应用到对绝对值要求很低的电路中，这样在分析的时候主要考虑的是电阻间的匹配误差。

#### 电阻绝对误差和失配的原因:

引起电阻实际值和设计值间偏差的因素有很多，主要是由于**工艺上的原因**，其次还有**电阻本身的非线性因素**。

✧ 不同批次 (batch)、不同晶圆 (wafer) 之间工艺参数相差很大，如离子注入浓度、腐蚀强度等。这引起器件很大的绝对工艺误差，也是电阻绝对误差变动大的直接原因。由于器件匹配是指同一芯片 (chip) 内部的匹配，因而这种批次间 (batch to batch)、晶圆间 (wafer to wafer) 的工艺偏差不引起器件的失配，也就是说批次、晶圆间的误差对于匹配器件的影响是一样的。

✧ 同一晶圆内，由于光刻、腐蚀引起的电阻几何图形边缘的失配；

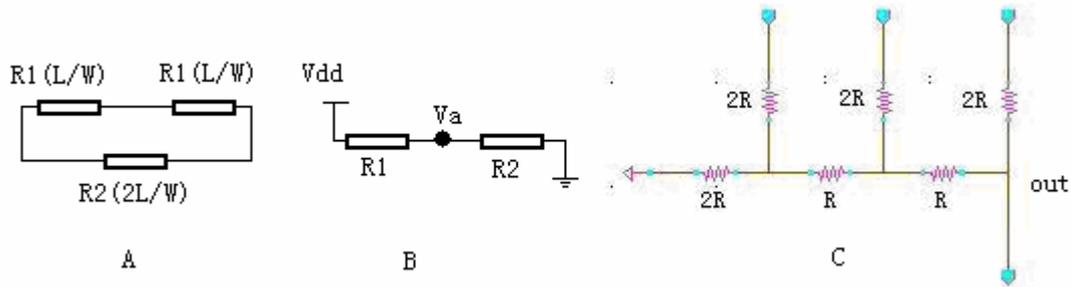
✧ 同一晶圆内，由于浓度梯度引起的薄层电阻的失配；

✧ 非工艺误差因素，由于电阻本身的非线性所引起的失配；

## 电阻匹配性设计:

不同类型、不同尺寸、不同大小、不同版图设计的电阻，所能达到的匹配精度是不一样的，一般的原理是：

- ◇ 尽可能选用线性度更好的电阻，虽然电阻的线性度不如工艺影响普遍，但在某些电路中对于匹配是很重要：



图四 电阻的线性度对电路的影响

如图四, A 中电阻 R2 的长是 R1 的两倍, 由电阻非线性模型可知, 如果不考虑 etch、etch1 同时忽略电容、温度效应和非线性的话, R2 因该是 R1 的两倍。但是由于电压非线性会导致 R1+R1 和 R2 的失配。

设 R2 两端的电压为 2V, 如果不考虑 etch 和 ech1 以己温度效应的话:

$$R1 = (R_{sh} * L / W) * (1 + c1 * V + c2 * V^2)$$

$$R2 = (R_{sh} * 2L / W) * (1 + c1 * 2V + c2 * 4V^2)$$

所以在集成电路设计中, 如果要实现倍数关系 N 的电阻匹配, 最好是采用 N 个相同的电阻来实现, 这样做主要是相同形状的版图有利于匹配, 而且对于减小电阻的非线性也有帮助。

而在电路 B 中, 电阻 R1 和 R2 由于两端的压降时相同的, 所以匹配都会比较好, 但是如果 R1、R2 是 n well 电阻, 因为 R1、R2 相对于衬底的电压不一样, 会引起 n well 反型层的厚度不一, 严重影响匹配。

正因为电阻非线性影响匹配, 所以分析电路时一定考虑非线性的影响。如电路 C 是一个 3 位的 R2R DAC 结构, 在 R2R 这种结构中, 即使电阻在工艺上完全匹配, 电阻本身的非线性也会严重损害 DAC 的线性度, 限制这种结构的精度。

因而考虑电阻匹配, 一方面要选用线性高的阻, 一方面要选用减小电压非线性的电路。

一般认为非硅化 Poly 电阻比 p+/n+电阻和 n well 电阻匹配性能好。在工艺尺寸上不同

的工艺不一样，一般采用离子注入的形成的 p+/n+ 在外形尺寸上的控制会比腐蚀形成的 Poly 尺寸精度高，但是 p+/n+ 电阻受浓度梯度的影响比 Poly 大很多，同时因为 Poly 电阻不存在反型层效应，线性都较好，非硅化 Poly 电阻的一级电压系数、二级电压系数都会小一点。所以高精度电阻如果可能，都是采用非硅化的 Poly 来做，如果有非硅化非离子注入的高阻 Poly 的话，匹配精度会更好。

- ✧ 电阻的匹配性能主要和电阻的尺寸、版图形状有关。一般为了达到更好的匹配性能，电阻面积要求做得比较大，版图要求对称性设计。

工艺上电阻几何尺寸和浓度梯度都会引起失配，对于第一种情况可以通过增大电阻的几何面积来达到减小失配的目的；第二种情况由于现代工艺下同一晶圆上的浓度控制的相当好，因而对于距离较近的小面积电阻来说基本上可以忽略。对于大面积电阻则可以通过适当的版图对称性设计达到很好的匹配度。

上面两种情况存在一个矛盾，一般对于一个电阻来说，增大其面积可以减小失配，当面积达到一定程度（如：10000 $\mu\text{m}^2$ ）以后，由于浓度梯度引起的失配占主导地位，在增大面积将会导致失配增加。

电路设计时，为了达到一定的精度一般要确定为了达到这个精度电阻所需要的面积和几何尺寸。（参考：#### 基于 R2R 电阻网络的 Rail-to-Rail DAC 设计；####!Trimless High Precision Ratioed Resistors in DA and AD Converters）

- ✧ 阻值大的电阻比小电阻匹配性能好。

电阻两端存在用于连接的 Contact，这些 Contact 中通孔的电阻串联在电阻实体两端。由于这些通孔电阻变化特别大，工艺上也控制不好，所以对于小电阻来说，这些通孔对它的匹配性能影响极大。一般用 Poly 做的小电阻 10 欧姆-500 欧姆的匹配度能到 1%-0.5%，论文####!Trimless High Precision Ratioed Resistors in DA and AD Converters 中讨论了 Poly 做小阻值电阻的匹配性能，并提出了一种新的版图设计方法消除 Contact 带来的影响。匹配精度能达到 0.24%-0.36%。

大阻值电阻来说，这些通孔的阻值引起的相对匹配误差会比较小，一般对于 Poly 非硅化电阻，只要面积不太小、版图设计适当，匹配精度能做到 1%-3%。（####Statistical Design Techniques for DA Converters-->Figer 1 提到采用 5 $\mu\text{m}$  CMOS 工艺下薄膜多晶硅高阻层，薄层电阻 1K 尺寸为 40 $\mu\text{m}$ /300 $\mu\text{m}$  的 7.5 K 电阻，标准相对偏差在 0.05%，电阻匹配误差在 1.5%-3%左右）。

## 2.2 电阻失配分析方法

可以通过蒙特卡洛分析法来分析电阻的失配，和 MOS 管的随机误差分析一样，关键是怎样建立电阻的工艺误差分析模型。

- ✧ 根据电阻能达到的匹配精度经验，直接设定电阻阻值成一定的高斯分布。比如根据经验已知某个工艺上电阻能达到的匹配精度，分析在这个电阻失配度上对电路的影响，或者电路在这个电阻失配度上性能是否正常，可生产率为多大！  
这种方式不能用来通过优化电阻匹配度来提高设计的可生产率，同时为了保证设计正确，电阻失配度分布都要设定的稍大一点，这样不利于达到最优化的设计。
- ✧ 建立和物理工艺参数相关的电阻误差模型，通过改变电阻的长宽，分析电阻所能达到的匹配精度，也可直接通过这种电阻误差模型，分析整个电路，得出什么样尺寸的电阻呢个最大可能的保证电路的设计性能。

### 考虑浓度梯度的电阻误差模型

对于电阻来说，认为芯片上电阻阻值误差模型是中值为 $R$ 、均方差为 $\rho$ 的正态分布。

这样并不能说明对于电阻 $R_1$ 、 $R_2$ ，这两个电阻阻值可以随便从分布模型中取值！

从误差源来考虑，引起器件参数误差的因素包括两部分：

A: 由于光刻、腐蚀等引起的随机统计误差！

B: 由于浓度梯度引起的具有决定性的误差！

(参见：电阻####!Trimless High Precision Ratioed Resistors in DA and AD Converters)

其中由A引起的误差对于各个器件参数是独立的随机变量，而由B引起的误差则不是。由于浓度梯度具有方向性而且单调，所以相隔距离大的器件参数有于浓度梯度引起的偏差会大于距离小的器件，同时距离越小的器件，他的参数由浓度梯度引起的部分越趋向一致，这种有于距离引入的相关性称作空间相关性 (spatial correlations) ！这样当 $R_1$ 取一定值时，他旁边的电阻 $R_2$ 阻值一般不会偏离太远！

这种考虑浓度梯度的误差模型比较复杂，建立起来比较困难，还理解的不是很透彻，对于建立以后怎么通过这种模型在 Spectre 中方针分析随机误差还很不清楚。

参考“####Statistical Design Techniques for DA Converters”

### 简单的电阻模型

一般的电阻，电容统计误差模型都认为同一芯片上的电阻电容值是独立的随机正态分布，而忽略了由于浓度梯度变化引起的个电阻值间的相关性！因为小面积的话，由于浓度梯度引入的变化对于每个器件是一样的！

这样电阻的随机误差完全是由于电阻几何图形的随机性引起的，所以可以过电阻的长宽参数的随机性建立简单的电阻模型。Spectre电阻模型中都有参数etch和etch1用来表示实际电阻长宽对理论设计长宽的缩减，可以把这个参数设成高斯随机分布，适当的取 $\sigma$ 值，即建立简单的电阻模型。