

4-2 场效应晶体管

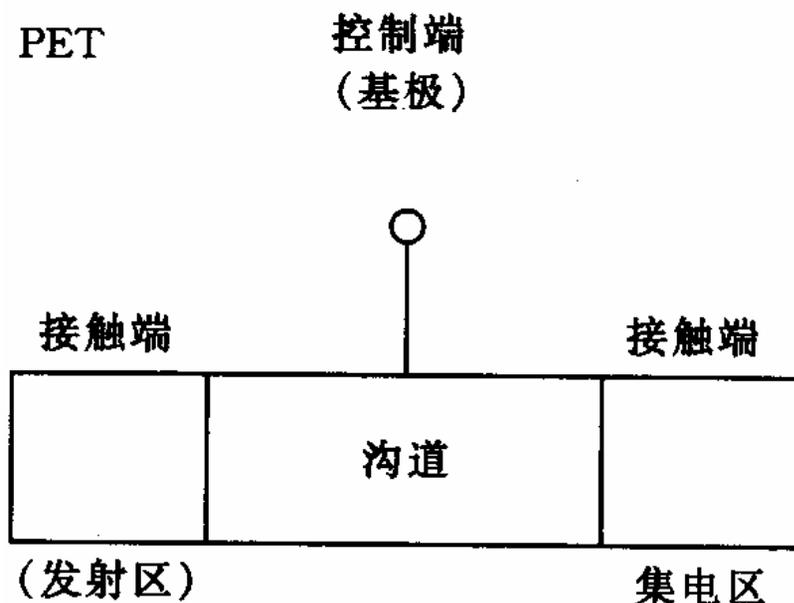
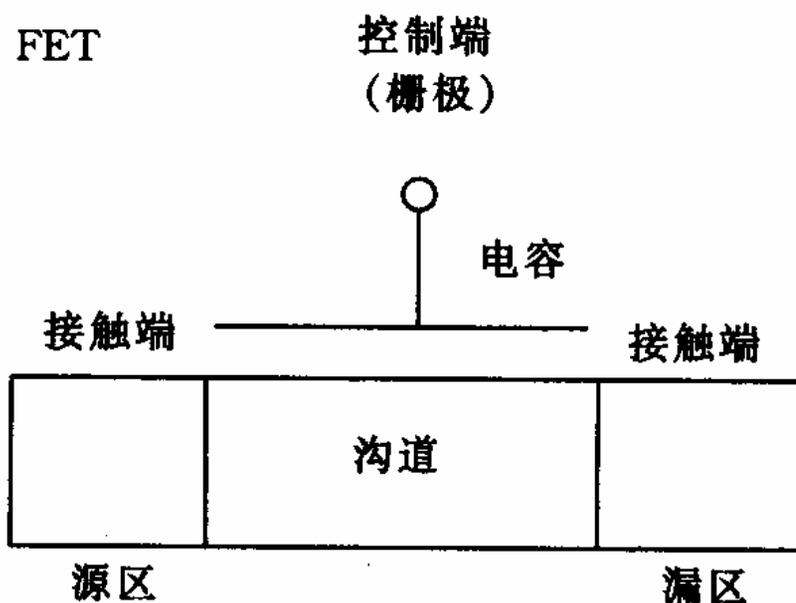
主要内容:

- **MOSFET的基本工作原理**
- 结型场效应晶体管
- 金属-半导体场效应晶体管

场效应晶体管, FET, field effect transistor

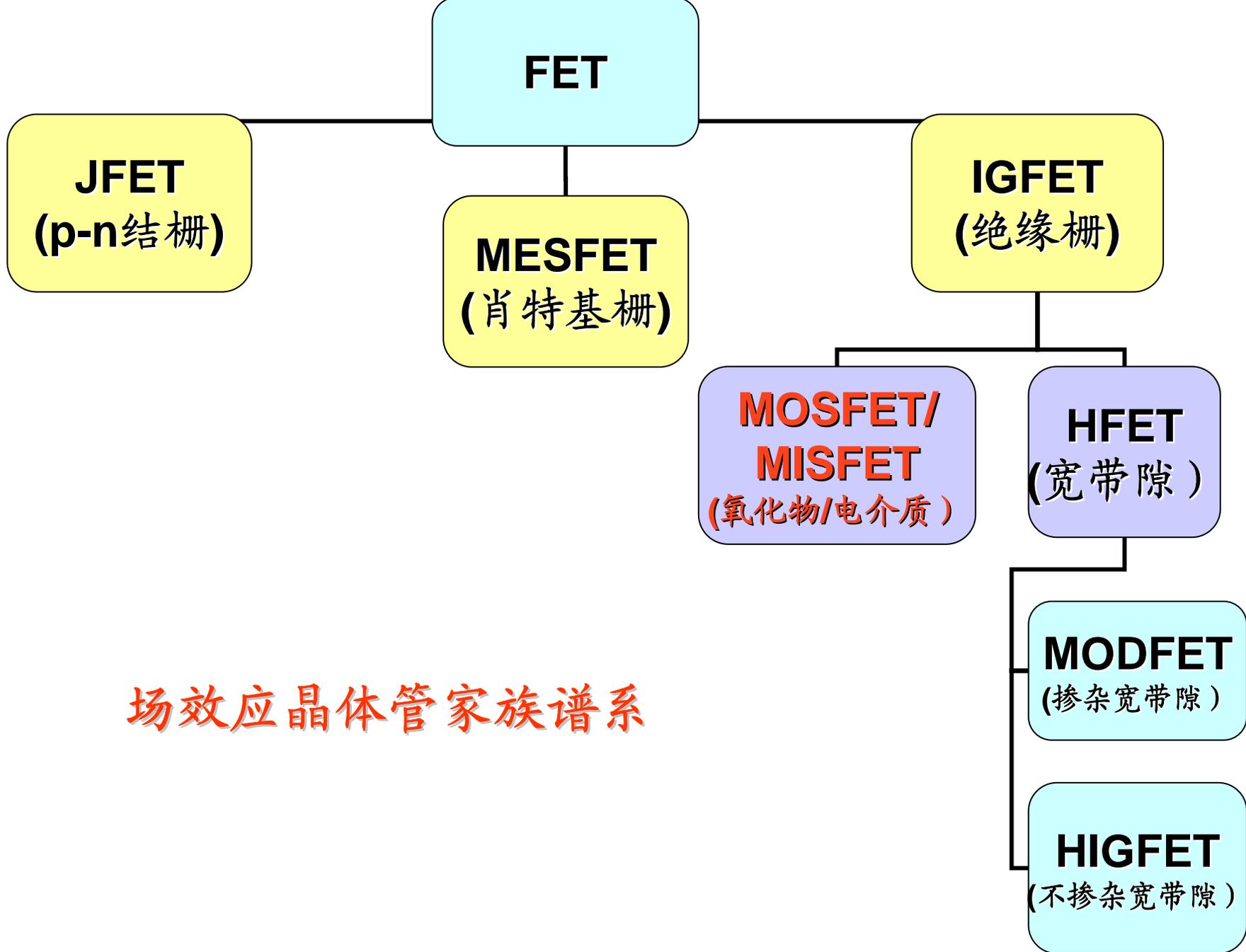
利用垂直于导电沟道的输入电压的电场作用, 控制导电沟道输出电流的一种半导体器件.

FET与双极晶体管（势效应晶体管PET的典型代表）的比较:



FET与BJT的区别:

1. **FET** 为电压控制器件; **BJT** 为电流控制器件。
2. **FET**输入阻抗高, 实际上不需要输入电流, 在模拟开关电路, 高输入阻抗放大器和微波放大器中具有广泛的应用。
3. **FET**为单极器件, 没有少子存储效应, 适于高频和高速工作。
4. 在大电流时, **FET**具有负的温度系数, 随着温度的增加**FET**的电流减小, 使整个器件温度分布更加均匀。
5. 制备工艺相对比较简单, 适合大规模集成电路。



场效应晶体管家族谱系

1. MOS 场效应晶体管, MOSFET

1) 基本工作原理

四端器件

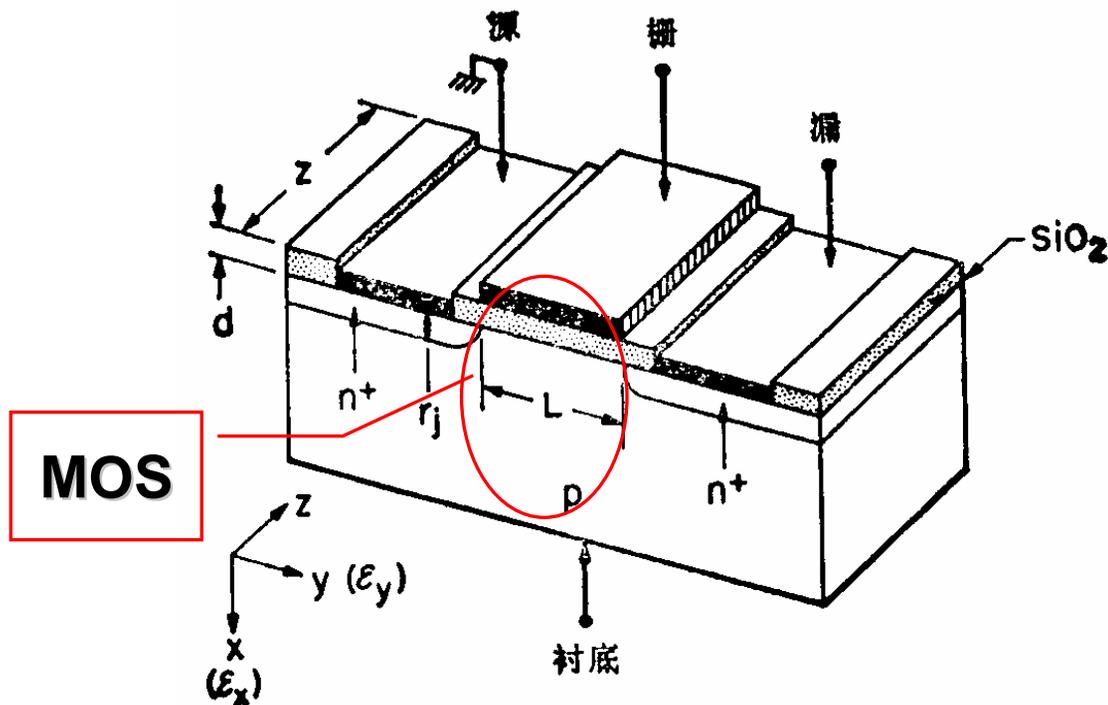
沟道长度: L

沟道宽度: Z

氧化层厚度: d

结深: r_j , 衬底掺杂 N_A

以源接触为电压参考点



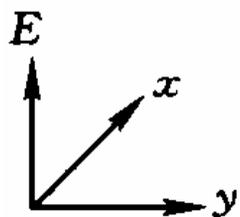
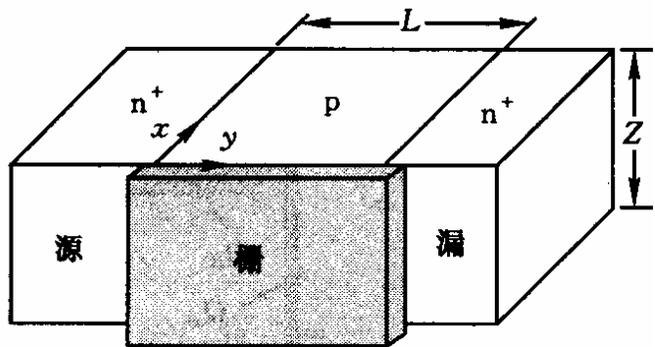
MOSFET示意图

若栅极未加电压, 从源到漏的电流是反向漏电流, 沟道关断。

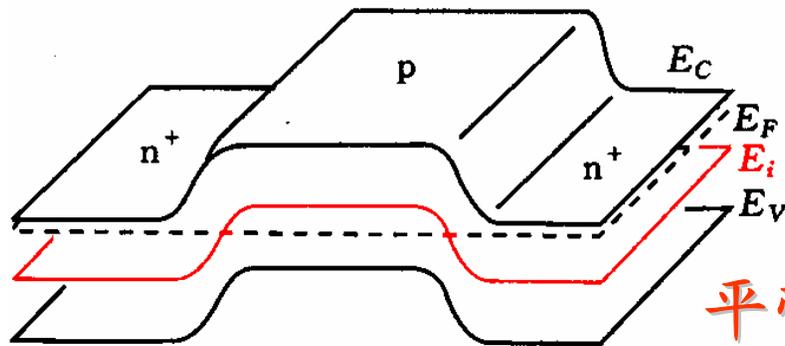
若栅极加足够大的正电压, **MOS**结构反型, 表面反型层(沟道层), 将源和漏连接, 可通过大电流。

改变栅压, 可调制沟道电导。

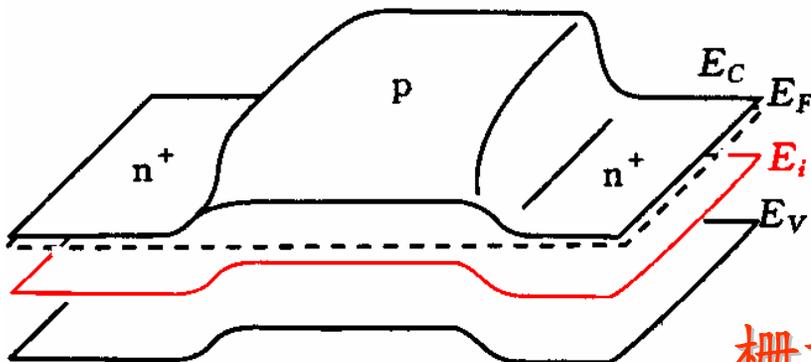
6 衬底是参考电压还是反偏, 可影响沟道电导。



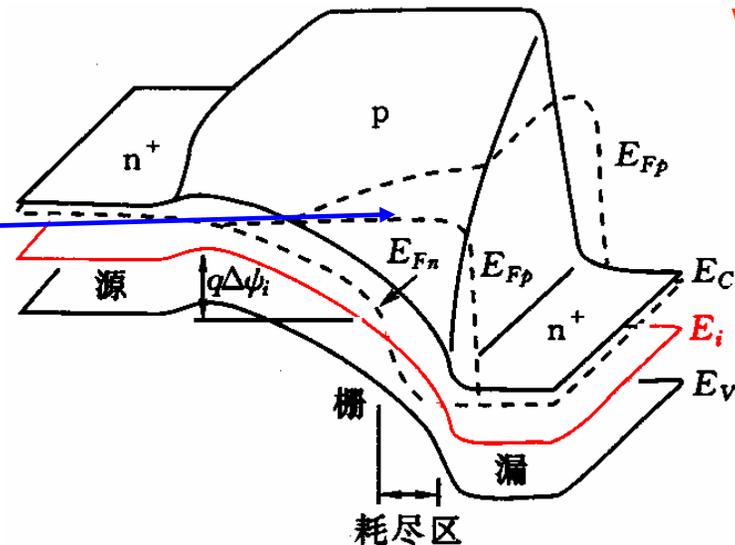
电子的准费米能级 E_{Fn} 与空穴的准费米能级 E_{Fp} 是分开的。



平带零偏压



栅加正偏压, $V_D=0$, 平衡



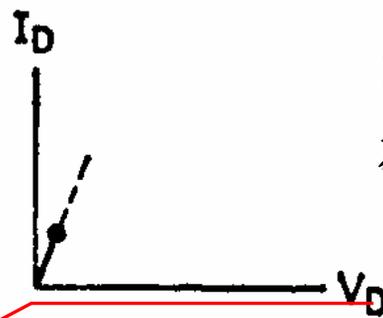
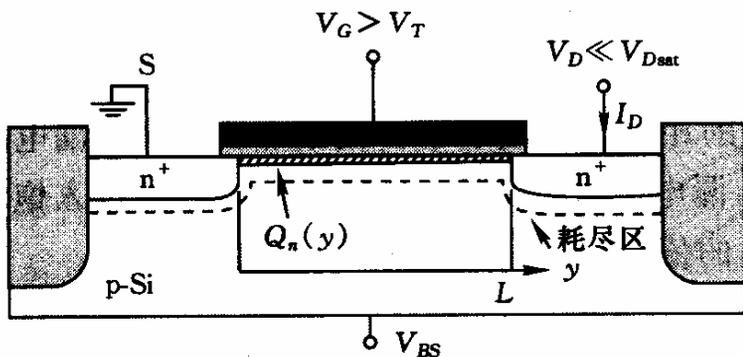
同时加栅压和漏压
非平衡

N沟MOSFET的两维能带图

2) 电流电压特性

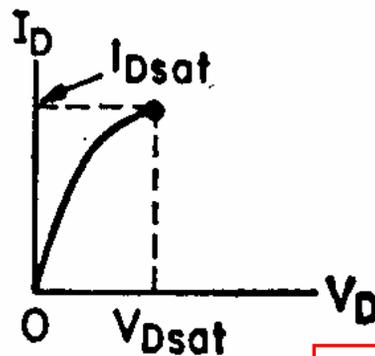
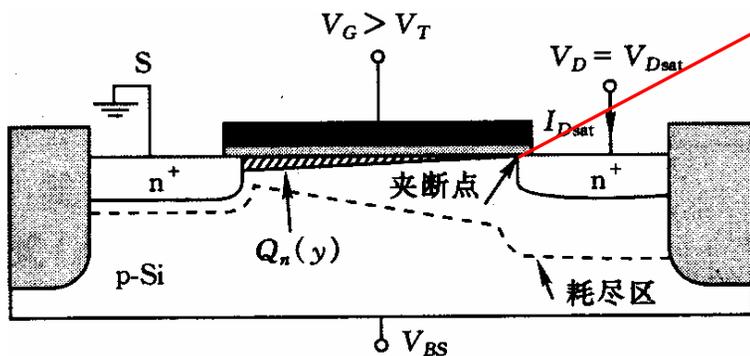
半导体表面反型的情况--- $V_G > V_T$

低漏电压时，线性区



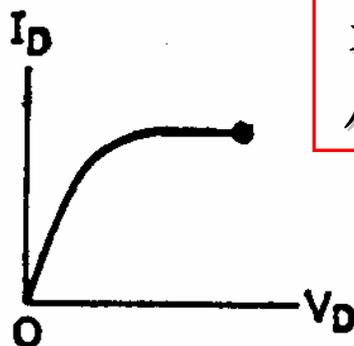
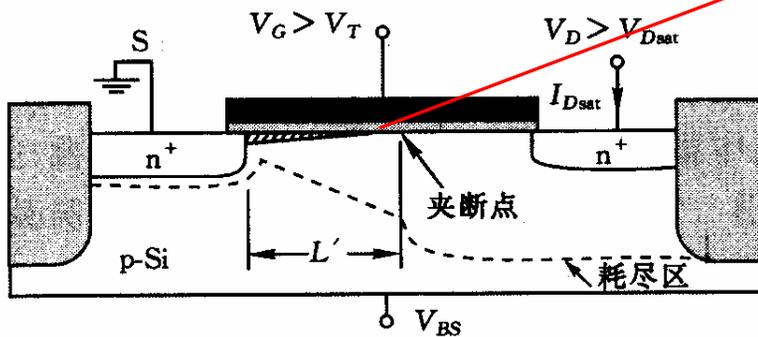
沟道的作用相当于电阻

开始饱和



反型层宽度减小到零

饱和之后



夹断点的电压保持不变

MOSFET的工作状态和输出特性

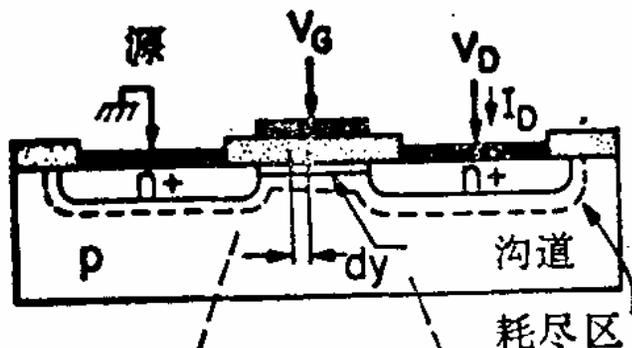
根据理想条件，可得到MOSFET的基本特性。

1. 栅结构为理想MOS电容，无界面陷阱，无氧化层电荷和功函数差。如果有氧化层固定电荷和功函数差，只要考虑平带电压 V_{FB} ,
2. 只考虑漂移电流。
3. 载流子在反型层中的迁移率是常数
4. 沟道掺杂均匀
5. 反向漏电流很小，可忽略
6. 沟道内的横向电场（垂直于电流）比纵向电场（平行于电流）大得多，即缓变沟道近似。

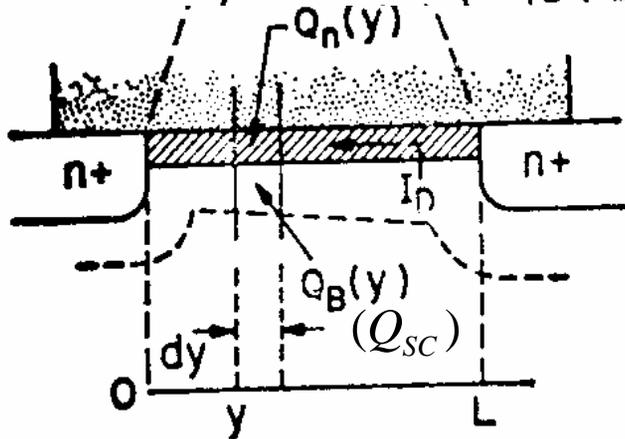
下面给出 $I_D \sim V_D$ 关系。

首先给出反型层中用于传导电流的沟道电荷:

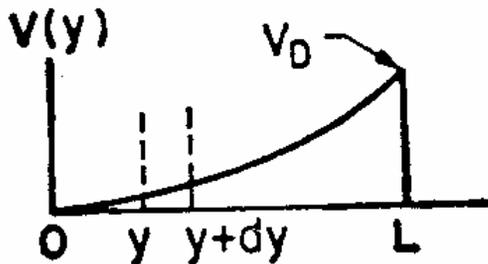
工作于线性区的
MOSFET



沟道区
放大



沟道漏
极压降



薄层电荷模型

在x方向, 强反型时的反型层厚度为零。在x方向无压降。当漏电压 $V_D=0$ 时, $V_G=V_i+\psi_s$

沟道漏极压降

漏极加电压时, 有电流通过反型层, 则有电压降, 从源 \rightarrow 漏, 电压 $0 \rightarrow V_D$, 逐渐增加。

漏端表面势: $\psi_s \approx V_D + 2\psi_B$

反型层中的表面势:

$$\psi_s(y) \approx V_y + 2\psi_B$$

半导体中距源 y 处单位面积感生的总电荷:

$$Q_S(y) = -V_i C_i = -[V_G - \psi_S(y)] C_i$$

Y处表面势

栅电容 ϵ_i/d

$2\psi_B + V(y)$

反型层内的电荷:

$$Q_n(y) = Q_S(y) - Q_{SC}(y) = -[V_G - \psi_S(y)] C_i - Q_{SC}(y)$$

表面耗尽区内的电荷: $Q_{SC}(y) = -qN_A W_m$

$$\approx -\sqrt{2\epsilon_S q N_A [2\psi_B + V(y)]}$$



$$Q_n(y) = -[V_G - V(y) - 2\psi_B] C_i + \sqrt{2\epsilon_S q N_A [2\psi_B + V(y)]}$$

下面给出 $I_D \sim V_D$ 关系:

y处沟道的电导率: $\sigma(x) = qn(x)\mu_n(x)$ 迁移率恒定

沟道电导:
$$g = \frac{Z}{L} \int_0^{x_i} \sigma(x) dx = \frac{Z\mu_n}{L} \int_0^{x_i} qn(x) dx$$

$$= \frac{Z\mu_n}{L} |Q_n|$$



dy的沟道电阻:
$$dR = \frac{dy}{gL} = \frac{dy}{Z\mu_n |Q_n(y)|}$$

dy上的电压降:
$$dV = I_D dR = \frac{I_D dy}{Z\mu_n |Q_n(y)|}$$
 从源到漏积分, 考虑边界条件:



$$I_D = \frac{Z}{L} \mu_n C_0 \left\{ [V_G - 2\psi_B - \frac{V_D}{2}] V_D - \frac{2}{3} \frac{\sqrt{2\varepsilon_S q N_A}}{C_0} [(V_D + 2\psi_B)^{3/2} - (2\psi_B)^{3/2}] \right\}$$

根据以上关系，得到理想 $I_D \sim V_D$ 特性：

线性区， V_D 很小

阈值电压

$$I_D \approx \frac{Z}{L} \mu_n C_0 [V_G - V_T] V_D$$

$$V_T = \frac{\sqrt{2\epsilon_S q N_A (2\psi_B)}}{C_0} + 2\psi_B$$

沟道电导

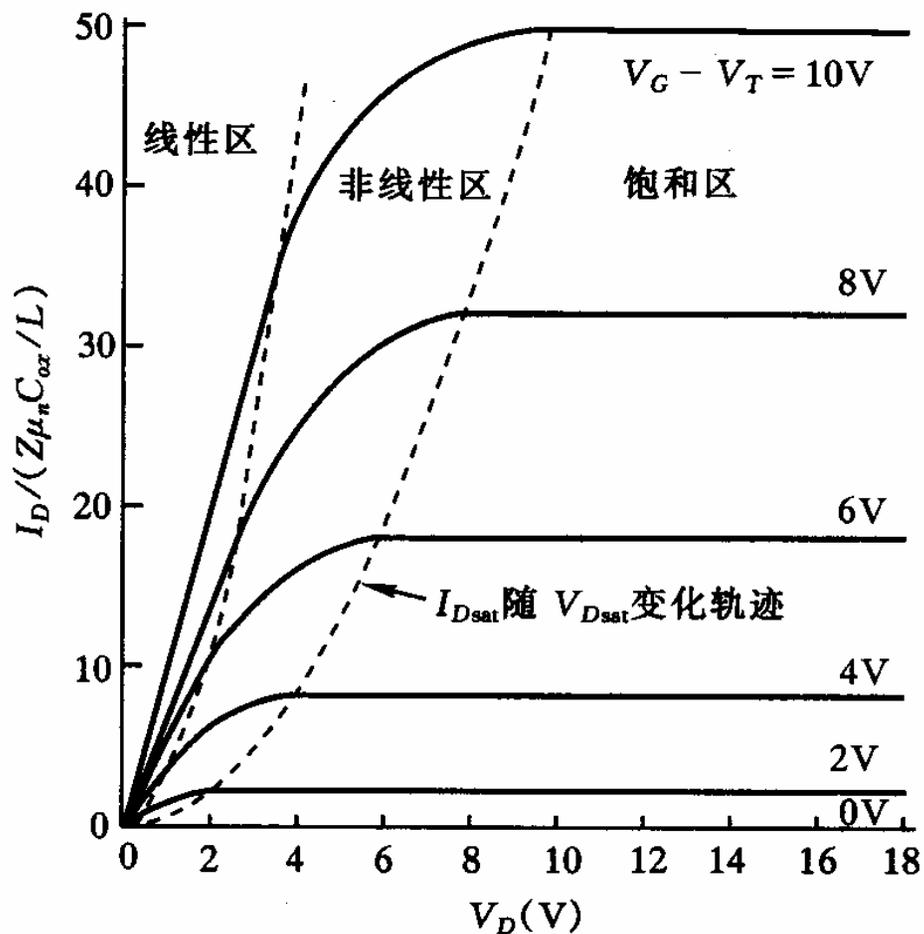
$$g_D = \frac{\partial I_D}{\partial V_D} \Big|_{V_G = \text{常数}}$$

$$= \frac{Z}{L} \mu_n C_0 (V_G - V_T)$$

跨导

$$g_m \equiv \frac{\partial I_D}{\partial V_G} \Big|_{V_D = \text{常数}}$$

$$= \frac{Z}{L} \mu_n C_0 V_D$$



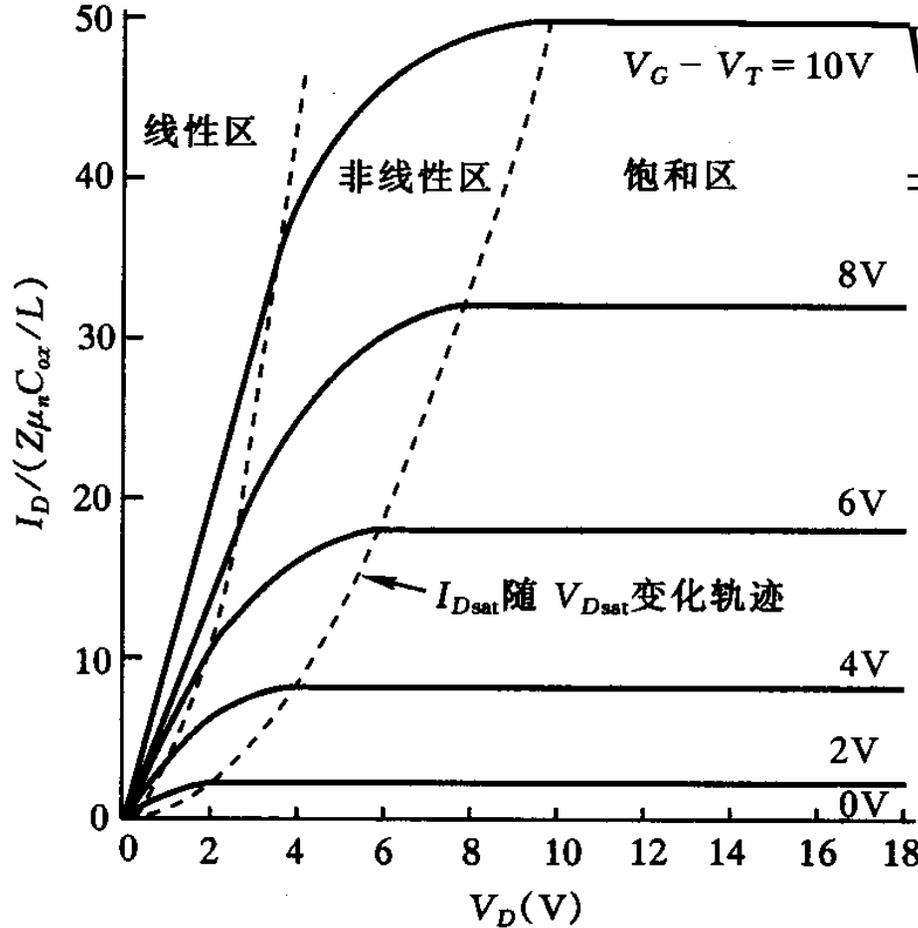
MOSFET的理想漏特性

饱和区，漏电压大于 V_{Dsat} 的区域

$$Q_n(L) = 0 \Rightarrow$$

$$K \equiv \sqrt{\epsilon_S q N_A / C_i}$$

$$= V_G - 2\psi_B + K^2 [1 - \sqrt{1 + 2V_G / K^2}]$$



饱和电流

转移特性

$$I_{Dsat} \approx \frac{Z \mu_n \epsilon_i}{2dL} (V_G - V_T)^2$$

沟道电导 ~ 0

跨导

$$g_m \equiv \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{常数}}$$

$$= \frac{Z \mu_n \epsilon_i}{dL} (V_G - V_T)$$

MOSFET的理想漏特性

速度饱和

在高场下，迁移率不再是常数，随着 V_D 的增加，载流子趋于饱和，表现为电流增加，然后达到饱和。此时的饱和机理与恒定迁移率不同，在夹断之前发生。

弹道输运

当沟道长度与平均自由程同量级，或者小于时，沟道载流子不再受到散射，不会因为散射而失掉从电场获得的能量，其速度可以比饱和速度高很多——弹道输运，或速度过冲。

器件的电流和跨导都比速度饱和时高，这也是不断缩小器件尺寸的动力。

3) 亚阈值区 $V_G < V_T$

也叫次开启特性: **Subthreshold**

一般认为当 $V_{GS} < V_T$ 时, 即当栅压低于阈值电压, 半导体表面仅为弱反型时, **MOSFET** 不导通, 实际上并非绝对不通。

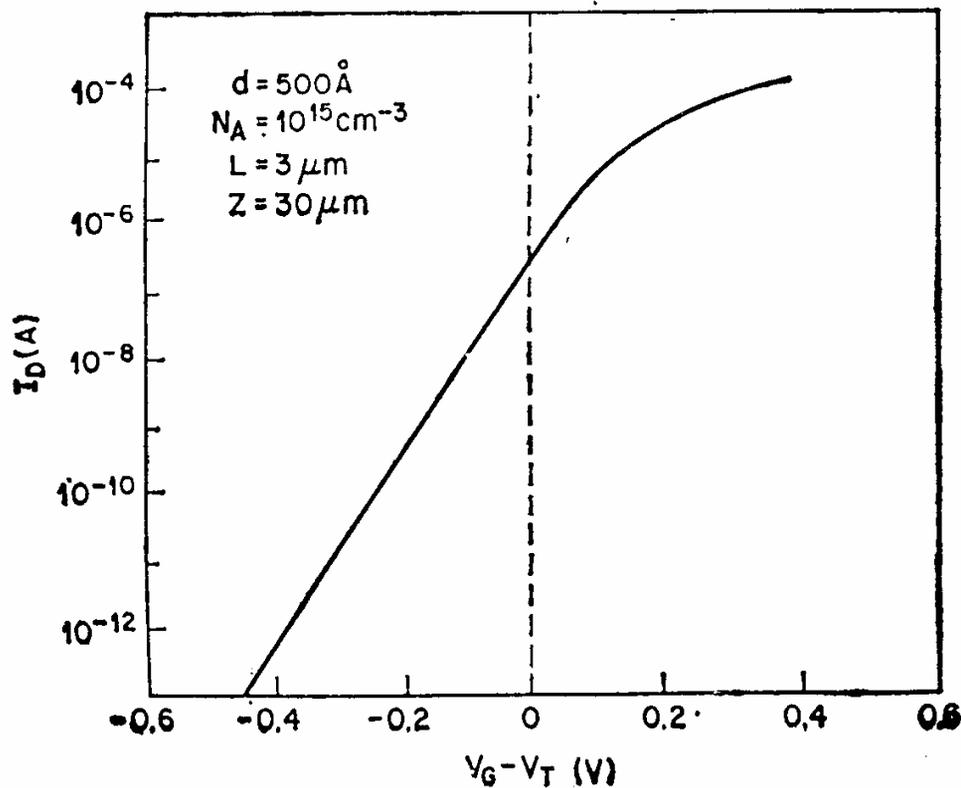
但电流 I_D 随着 V_{GS} 的减小而急剧下降, 称为亚阈值特性。相应的漏电流为 **亚阈值电流**。

在小电压小功率应用下的开关电路中很重要。

弱反型时, 认为表面电势 ($\psi_s < 2\psi_B$) 沿沟道分布是平的, 即在源和漏之间不存在电场, 沟道内电场 $E_y = 0$ 。

在亚阈值区内, 漏极电流由扩散而不是漂移主导。

将 **MOSFET** 视为 **n-p-n** 双极晶体管, 漏极电流相当于反偏时的集电极的电流。



MOSFET的亚阈值特性

亚阈值摆幅**S**，对应亚阈值电流减小一个量级对应的栅电压的变化。**S**越小（亚阈值斜率越尖锐），次开启特性越好。

$$S = [\partial(\lg I_D) / \partial V_G]^{-1}$$

典型值：

$$70 \text{ mV} \sim 100 \text{ mV} / \text{decade}$$

$$V_G - V_T < -0.5 \text{ V}$$

亚阈值电流可忽略

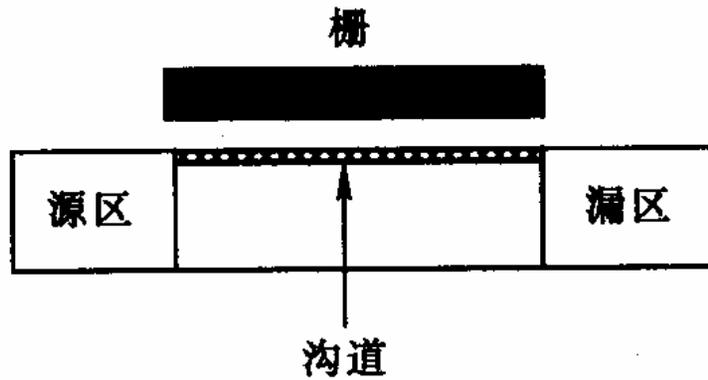
4) MOSFET种类

类型	截面	输出特性	转移特性
n-沟增强型 (常断)			
n-沟耗尽型 (常通)			
p-沟增强型 (常断)			
p-沟耗尽型 (常通)			

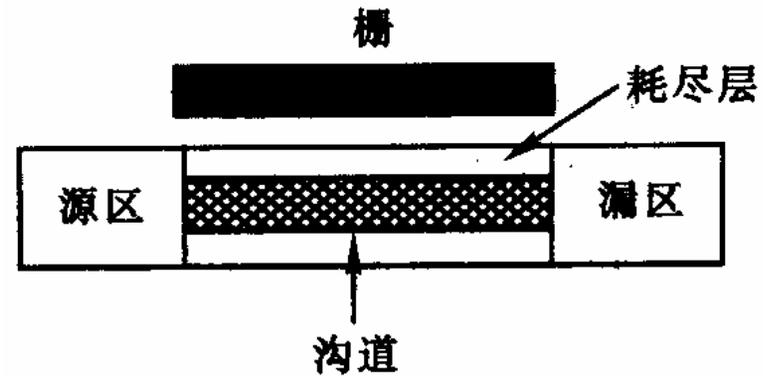
零栅压下，
沟道电导很小，栅极必须加正偏才形成n沟道

零偏下，n
沟道存在，栅极外加负电压，降低沟道电导

沟道类型



表面反型沟道



体内埋沟

MISFET既可以是表面沟道，也可以是埋沟，主要是表面沟道

耗尽型通常是采用埋沟，理论上，选择合适的功函数，调节阈值电压，也可实现。

5) 阈值电压 V_T : 强反型时对应的外加电压

理想阈值电压:

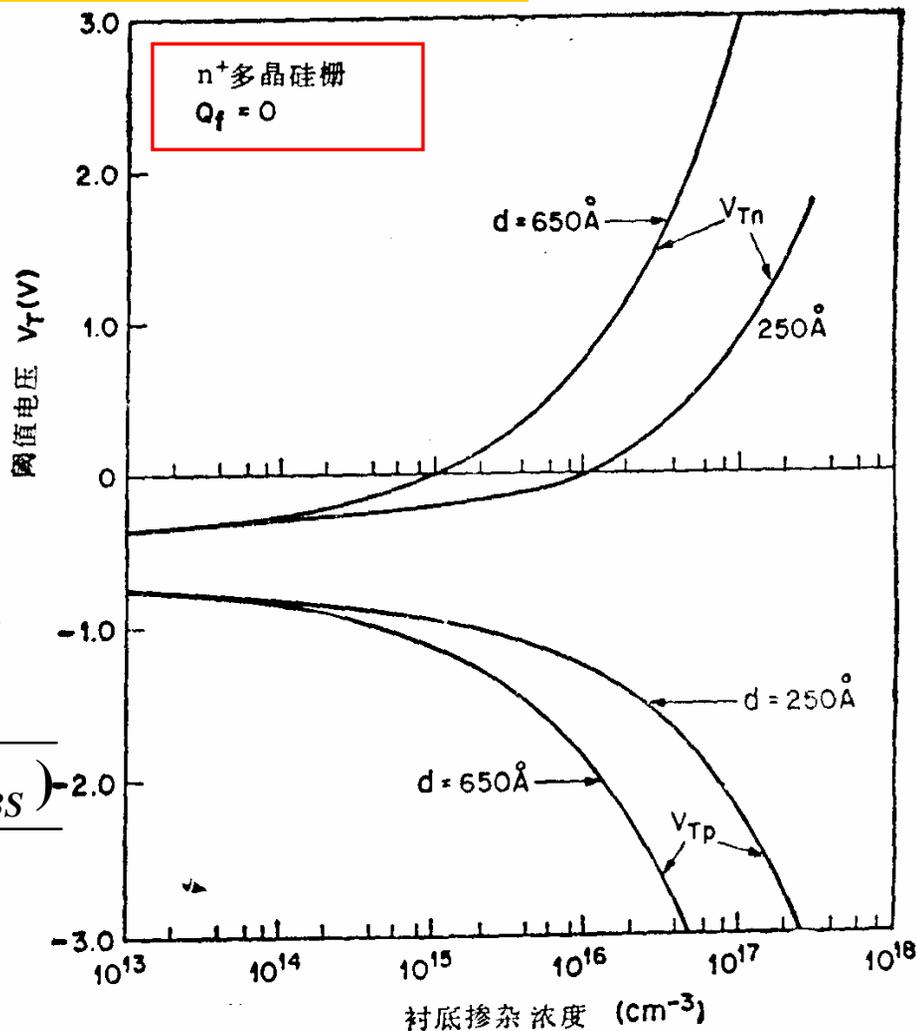
$$V_T = \frac{\sqrt{2\varepsilon_S q N_A (2\psi_B)}}{C_0} + 2\psi_B$$

固定氧化层电荷, 功函数差,
衬底偏压 \rightarrow 影响理想阈值电压

$$V_T \approx V_{FB} + 2\psi_B + \frac{\sqrt{2\varepsilon_S q N_A (2\psi_B + V_{BS})}}{C_0}$$

平带
电压

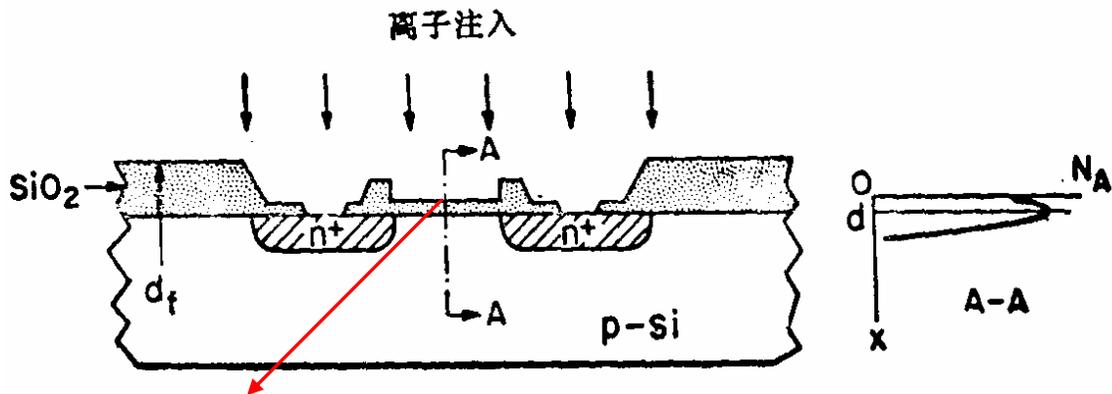
衬底源
极偏压



MOSFET 阈值电压与衬底掺杂浓度的关系

根据以上公式,可采用以下的方法调制阈值电压

a) 离子注入沟道区控制掺杂浓度, 可调整阈值电压



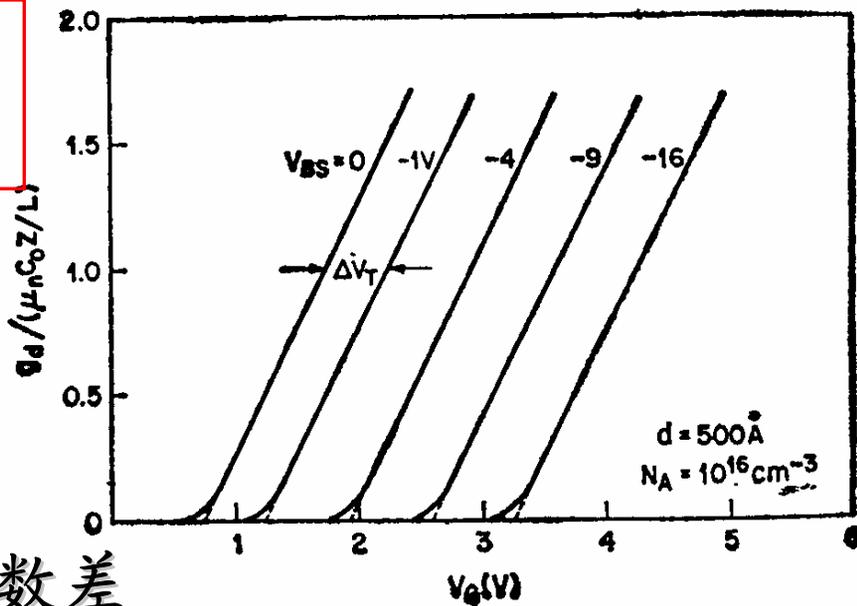
进行硼离子注入, 控制剂量峰值在 $\text{SiO}_2\text{-Si}$ 界面, 使 V_T 增加。

b) 改变氧化层厚度, 可调整阈值电压

氧化层厚度增加, n沟MOSFET的阈值电压更大, p沟更负。

c) 衬底偏压会影响阈值电压

衬源之间反偏, 耗尽区加宽, 必须提高阈值电压达到反型。



d) 选择适当的栅极材料调整功函数差

用衬底偏压调整阈值电压

6) MOSFET按比例缩小-集成电路中的应用

为了在同一芯片上集成越来越多的晶体管，器件尺寸要缩小。

源和漏结的耗尽层宽度变得与沟道长度可比拟→容易造成源漏穿通，要提高沟道掺杂浓度。

高的沟道掺杂→阈值电压增加，为了控制得到合适的值，要降低氧化层厚度。

器件参数相互关联。

为了保持最佳性能，要按照一定的比例缩小，包括尺寸、掺杂情况等——**按比例缩小的法则**。

但是随着沟道长度的减少，对长沟道特性的偏离是不可避免的。要考虑沟道边缘扰动，器件特性不再遵守长沟道近似。**短沟道效应**

短沟道效应

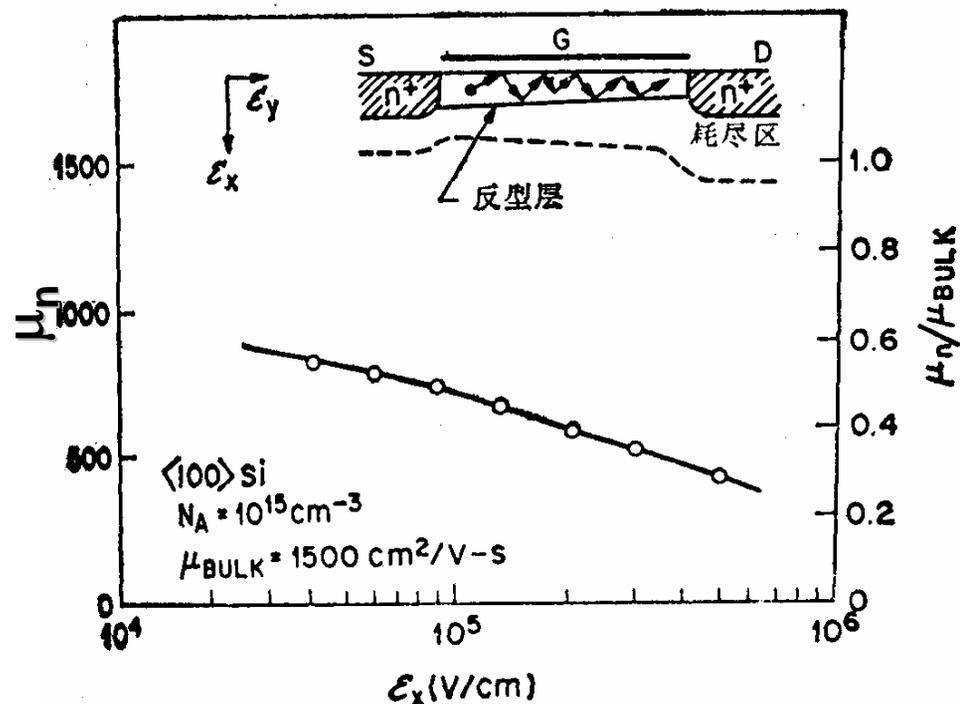
1. 线性区阈值电压下跌，绝对值降低 用电荷共享模型解释

2. 饱和区漏场感应势垒下降

3. 本体穿通:

随着沟道长度的缩短，源结和漏结的耗尽层宽度与沟道长度相当，贯通时，两个耗尽层连在一起。栅极无法控制电流。

4. 迁移率的变化（高场效应，表面散射）



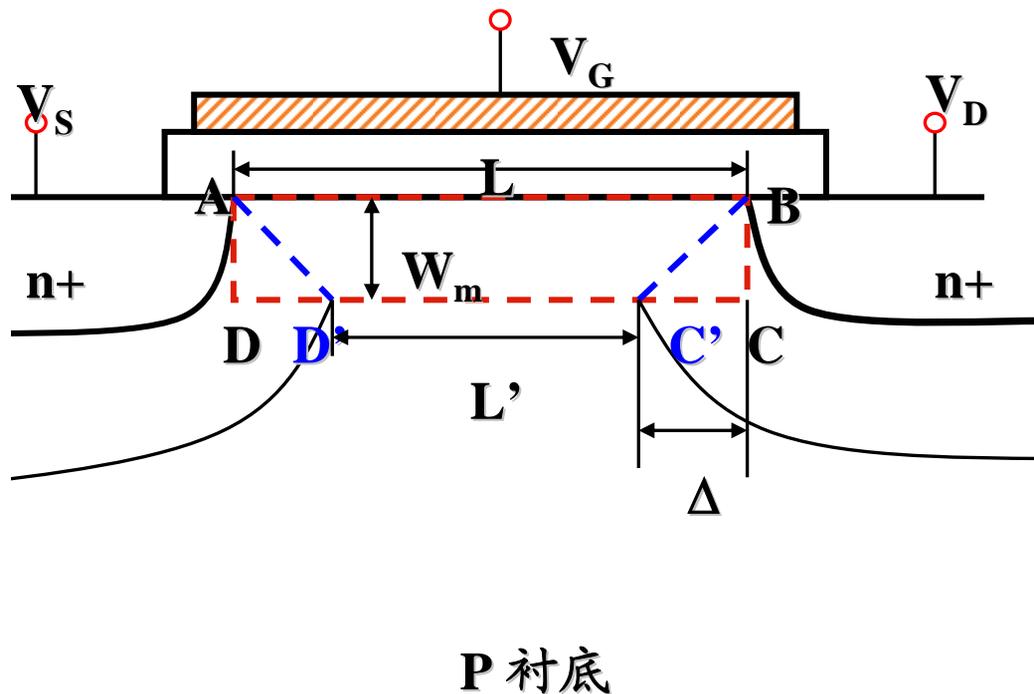
**n沟MOSFET沟道反型层内
迁移率和纵向电场的关系**

电荷共享模型

Q_B 为了屏蔽栅压 V_G , 半导体表面耗尽区的电荷。

$$V_T \approx V_{FB} + 2\psi_B - \frac{Q_{SC}}{C_i}$$

长沟道，沟道电荷可作一维分析，只考虑垂直于表面方向的电场，即，由栅电荷完全平衡反型层电荷和耗尽层内的电荷。



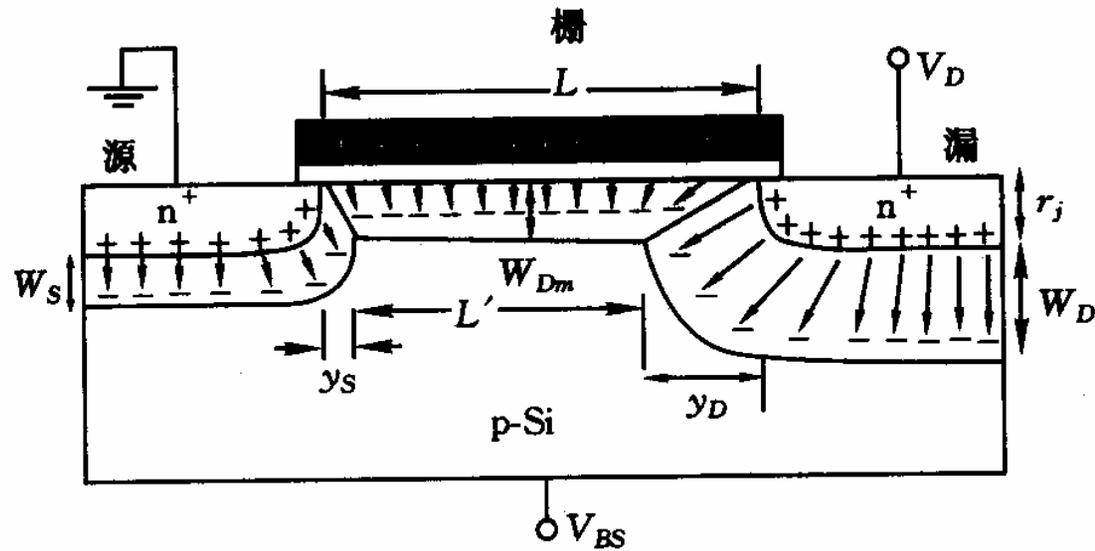
ABCD方框内的电荷

短沟道，在沟道两端要进行比较详细的二维分析，部分耗尽区的电荷由源和漏来平衡。

--电荷共享。与栅电荷抵消的是 $ABC'D'$ 中的电荷

电荷共享模型示意图

在沟道的源端和漏端，有些电荷的电力线终止在源和漏上而不是栅上。



电荷守恒模型

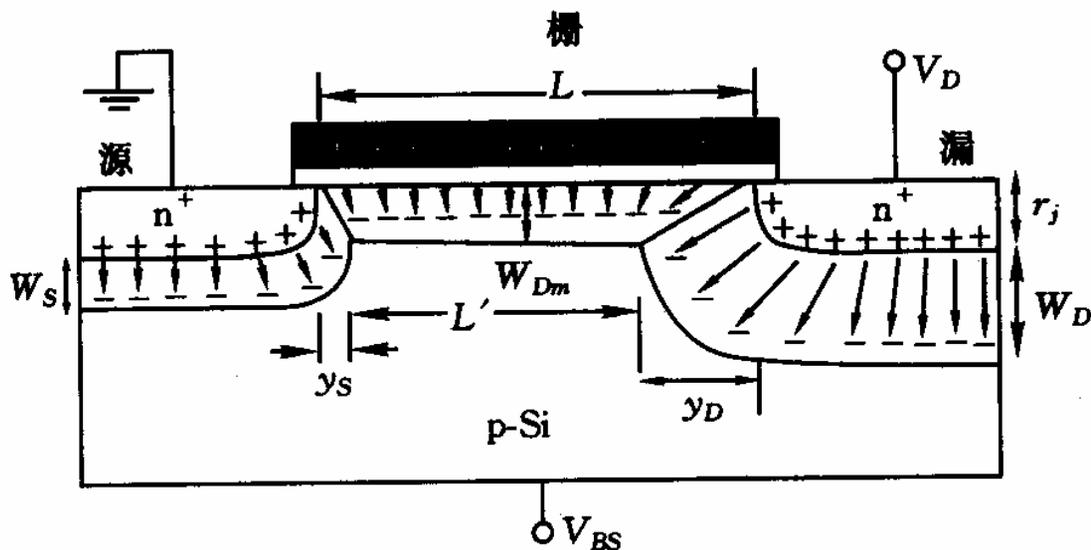
由于电荷共享， Q_{SC} 下降， V_T 下降

V_T 下降值，通过确定电荷量得到

线性区:

V_{DS} 小, 例如 $V_{DS} < 0.1V$

此时, 可以假定漏极, 源极, MOS结构的耗尽区宽度相同。



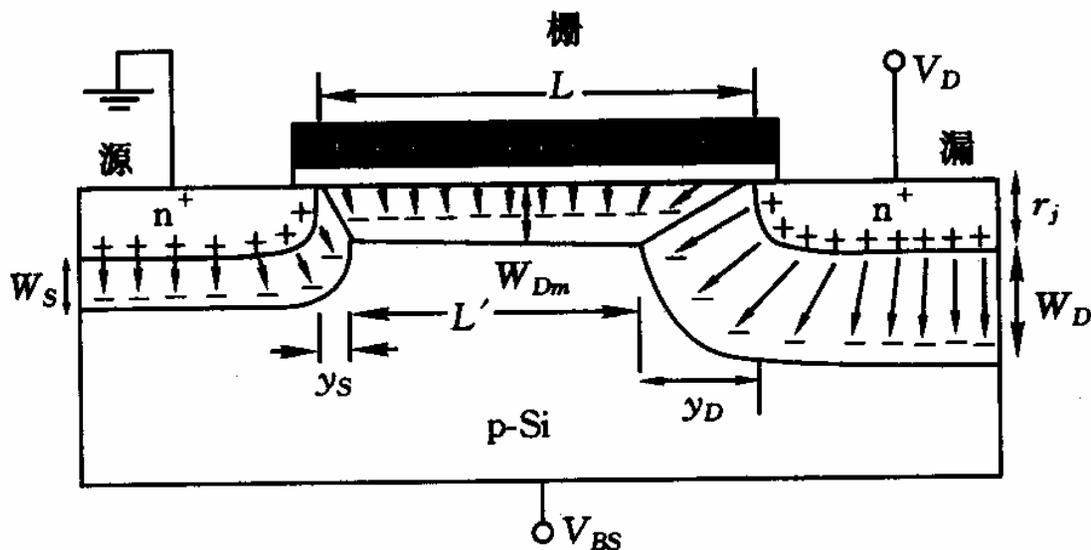
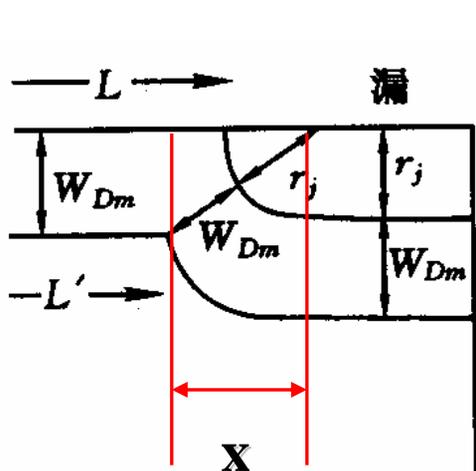
$$W_S \approx W_D \approx W_{Dm}$$

电荷守恒模型

梯形内总的体耗尽层电荷: $Q_B' = qN_A ZW_{Dm} \left(\frac{L + L'}{2} \right)$

长沟道近似下, 总的体耗尽层电荷: $Q_{B0} = qN_A ZW_{Dm} L$

关键是求出 L'



分析以上图形，假设结和耗尽边缘为柱状结构，根据三角形关系，得到：

电荷守恒模型

$$L' = L - 2(\sqrt{r_j^2 + 2W_{Dm}r_j} - r_j)$$

相对于长沟道的阈值电压移动量：

$$\Delta V_T = \frac{1}{C_i} \left(\frac{Q_B}{ZL} - qN_A W_{Dm} \right) = - \frac{qN_A W_{Dm} r_j}{C_i L} \left(\sqrt{1 + \frac{2W_{Dm}}{r_j}} - 1 \right)$$

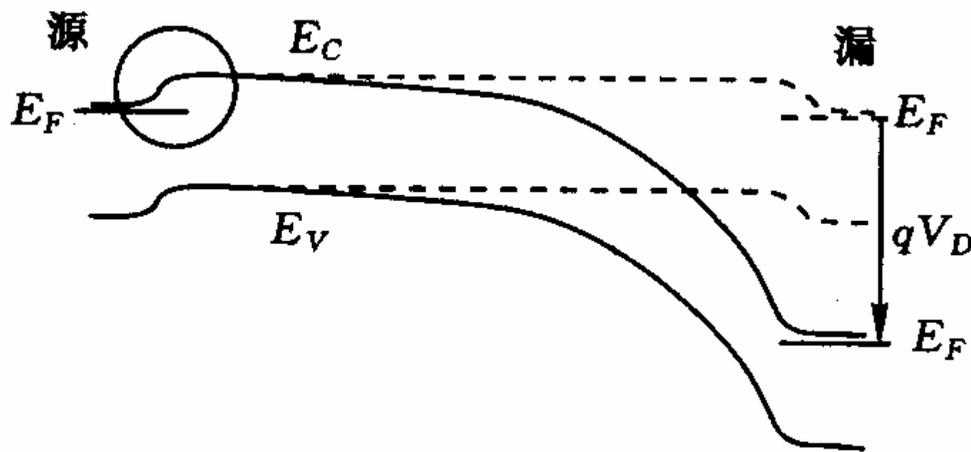
V_T 更小，晶体管容易导通

饱和区漏场感应势垒下降

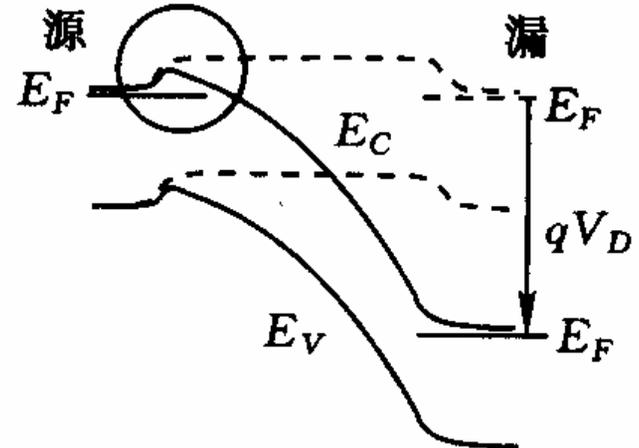
(DIBL, Drain Induced Barrier Lowering)

V_D 很大，短沟道时，源和漏的耗尽层宽度之和约等于沟道长度，穿通，结果在源和漏之间产生很大的漏电流。

原因是**DIBL**效应，即源漏之间势垒下降，短沟道更明显。



长沟道MOSFET



短沟道MOSFET，
表现出DIBL效应

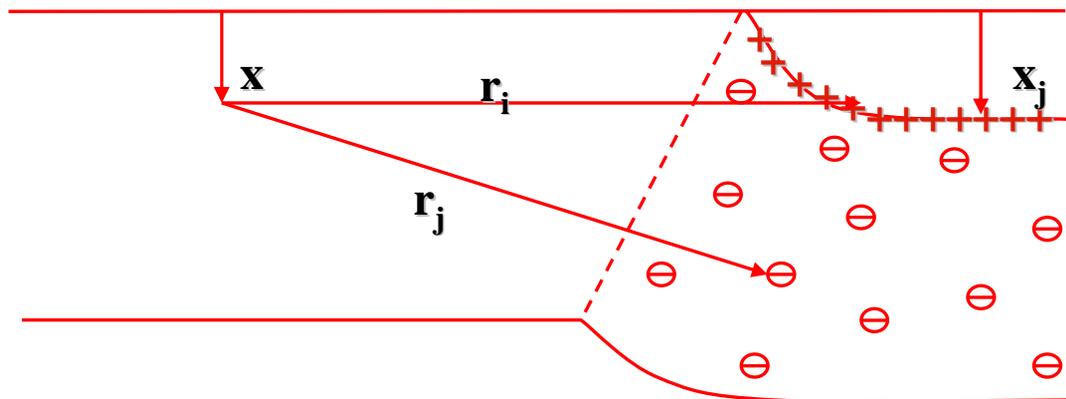
半导体表面源到漏的能带图

长沟道器件，漏偏压改变有效沟道长度，但源端势垒是常数。

短沟道器件，源端势垒不固定，其降低引起额外的载流子注入。

DIBL也是一种二维效应，在表面下结深附近影响最大

V_D 对源漏间势垒的影响通过结区电荷实现

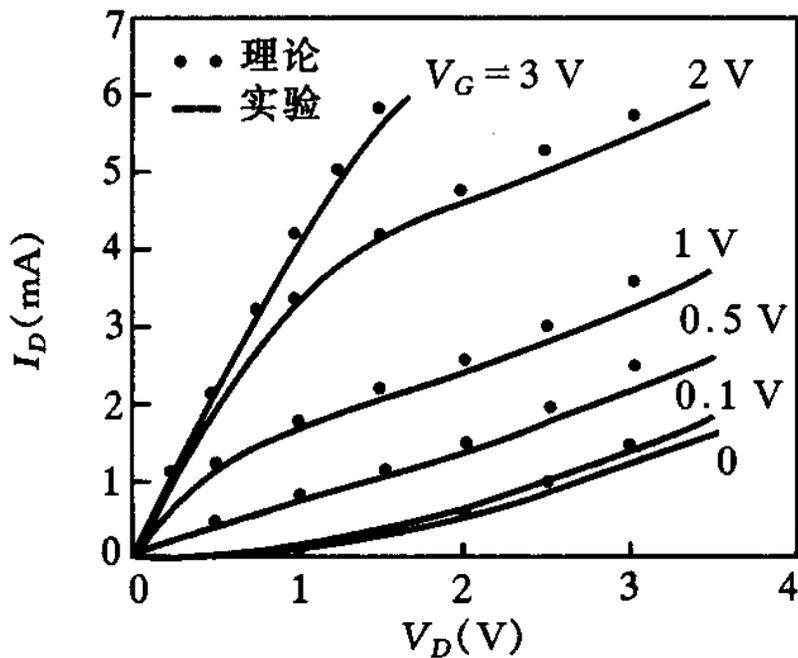


正负电荷对 x 点处势垒的影响

$$\Delta V = \frac{1}{4\pi\epsilon_s\epsilon_0} \sum \frac{q_i}{r_i} - \sum \frac{q_j}{r_j}$$

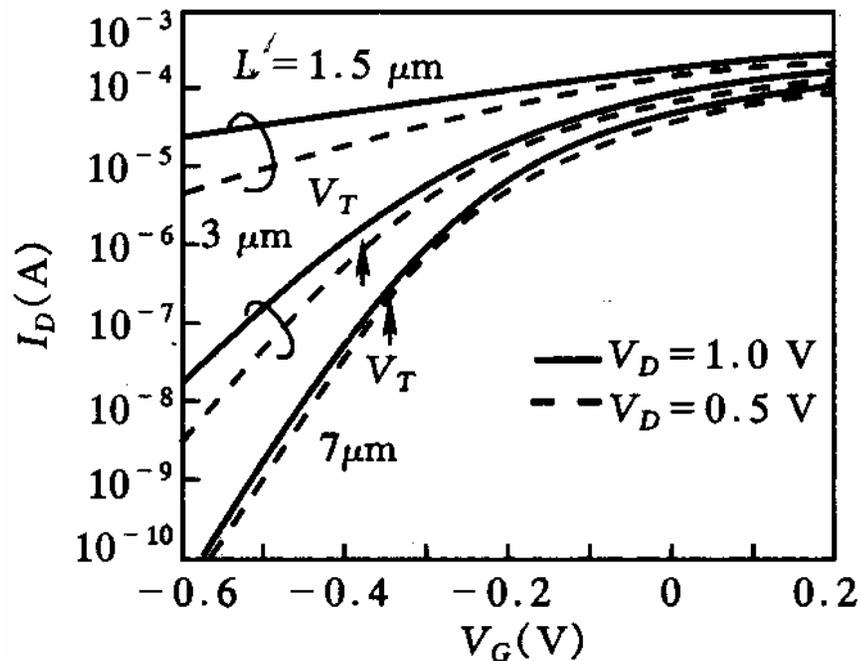
前一项为主，造成势垒降低，在结深附近影响最大
后一项为次，造成势垒上升， r_j 大且分散，影响小

V_D 很大，造成源漏穿透，穿通路径主要在表面下结深附近



大于阈值

在整个漏偏压范围，器件处于穿通状态
 电流强烈依赖于漏电压



小于阈值

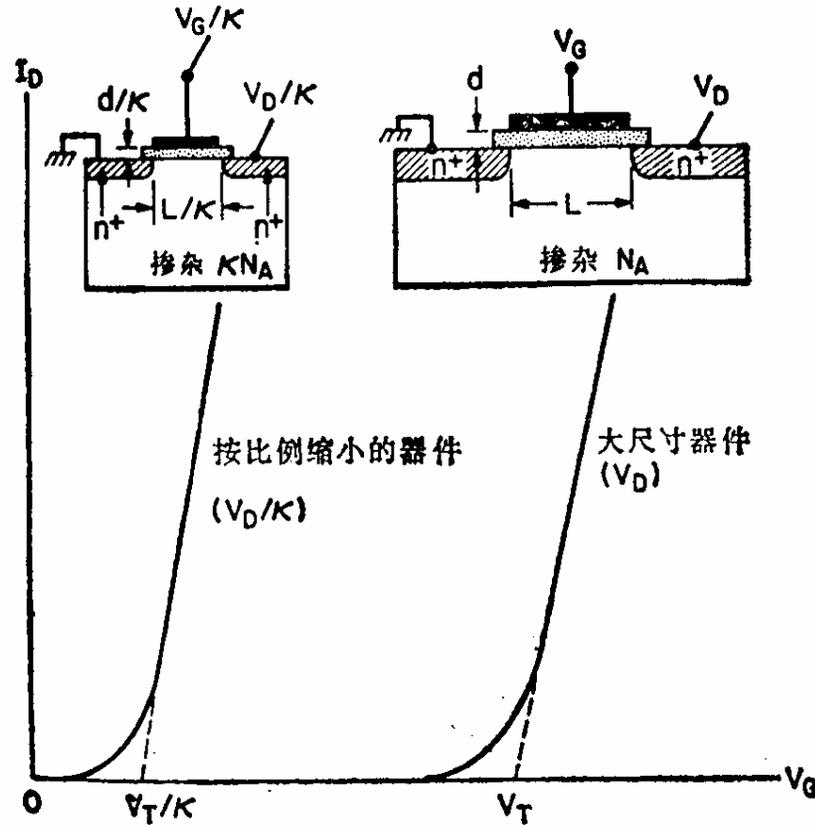
7μm, 长沟, 亚阈值电流与 V_D 无关
 3μm, 短沟, 亚阈值电流依赖于 V_D
 1.5μm, 长沟道特性丧失, 器件不能关闭。

呈现DIBL效应时的MOSFET的漏特性

按比例缩小规范

1. 定电场按比例缩小

内部电场保持与长沟道 MOSFET 一样，其他所有尺寸除以一个按比例缩小因素。



用常数比例因子缩小的 MOSFET 器件和输出特性

2. 用最小沟道长度来缩小器件

$$L_{\min} \approx 0.4[r_j d (W_S + W_D)^2]^{1/3} \equiv 0.4\gamma^{1/3}$$

结深,
单位 μm

源和漏耗尽层宽度
之和, 单位 μm

保持长沟道特性
的最小沟道长度

氧化层厚
度, 单位 \AA

例如: 设计一具有长沟道特性的**MOSFET**, 沟道长度 **$0.5\mu\text{m}$** .

计算得到 $\gamma=2$

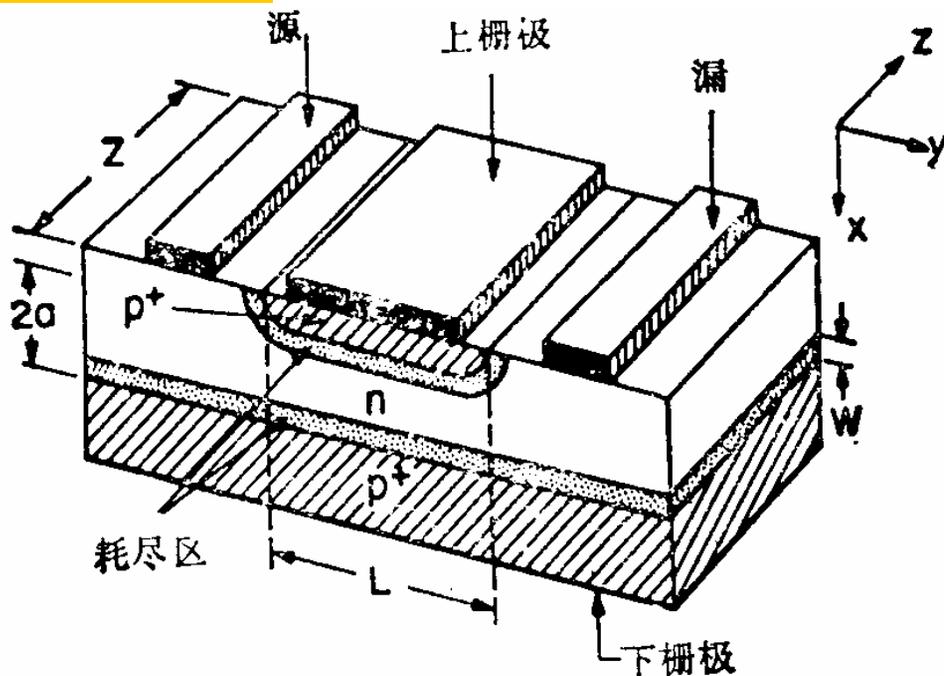
选择合适的 r_j , d 和 W_S , W_D , 使 γ 不大于2。

此方法更方便, 各参数独立调整, 不必所有的参数都按照某一比例因子调整。比较灵活, 可选择易于制备或使器件性能优化的参数。

2. 结型场效应晶体管, JFET

用至少一个反偏的p-n结的耗尽区去调制电流流过的截面积。
电流中只包含一种载流子。

工作原理



n沟JFET示意图

沟道常常由两个栅包围: 上栅极和下栅极, 相连。

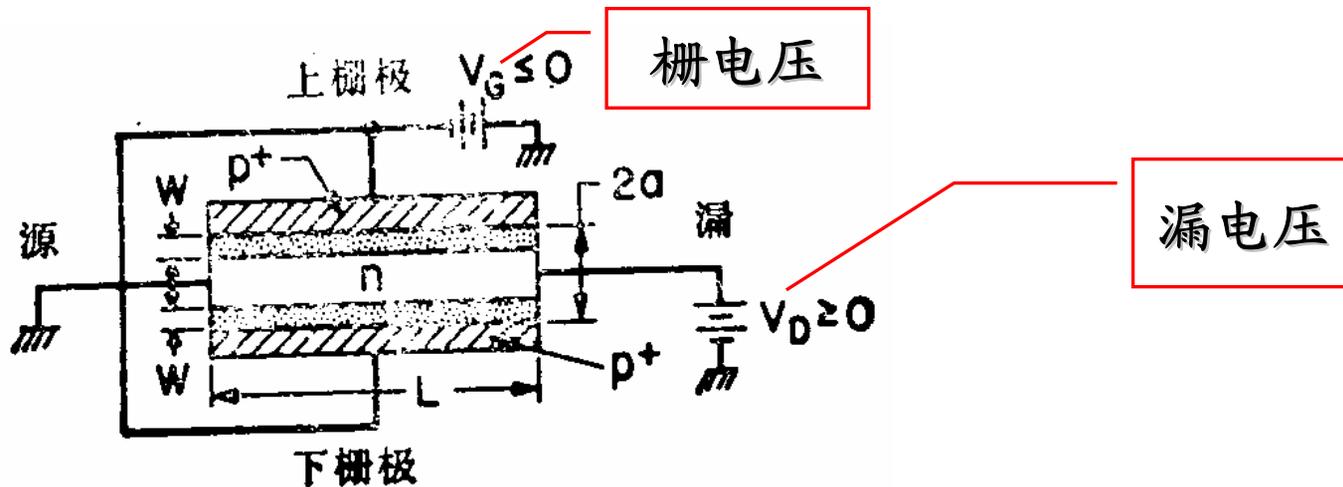
当漏极相对源极正偏时, 电子从源流向漏。

源 → 产生载流子
漏 → 吸收载流子

JFET结构参数:

沟道: 长L, 宽Z, 深2a

栅极与沟道形成整流结, 并通过改变耗尽层的宽度来控制沟道的有效通道。



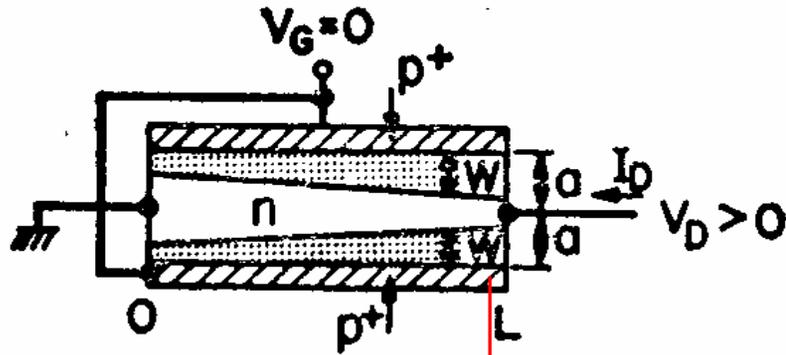
n沟JFET局部截面图

沟道电阻

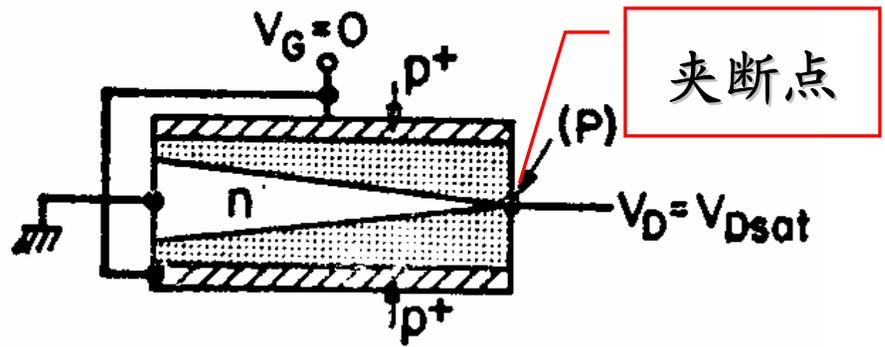
$$R = \rho \frac{L}{A} = \frac{L}{q\mu_n N_D A} = \frac{L}{2q\mu_n N_D Z(a - W)}$$

除了与N区掺杂浓度有关，同时受到栅PN结耗尽区宽度的控制。若 V_G 加反偏，耗尽区向中心扩展，N区的导电有效宽度降低，电阻增加。

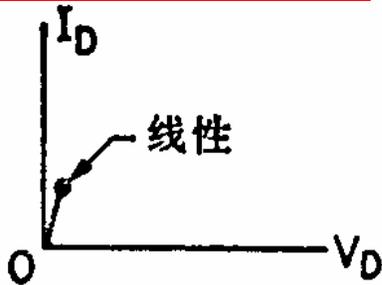
$V_G=0$, $V_D>0$ 且比较小,
有: $I_D=V_D/R$



$V_G=0$, V_D 增加, W 增加,
在漏极处相接 $W=a$, 夹断



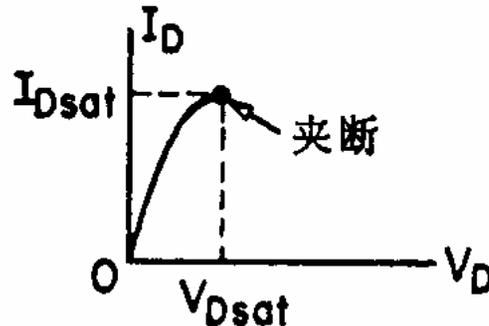
V_D 使两个p-n结反偏, 但 V_D 比较小, 改变 V_D 时不显著改变耗尽区的宽度, 沟道相当于一电阻



饱和电压
(突变结近似):

$$V_{Dsat} = \frac{qN_D a^2}{2\epsilon_S} - V_{bi}$$

$$V_G = 0$$

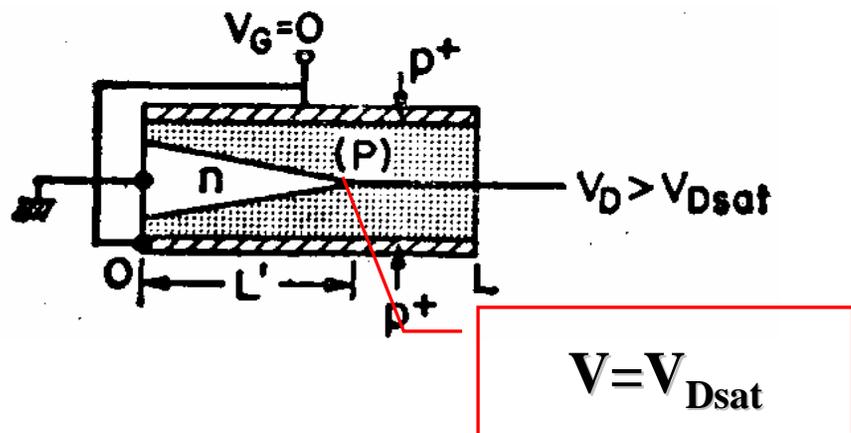


此时, 源和漏被夹断; 由于 V_D 比较大, 有一大的电流通过耗尽区

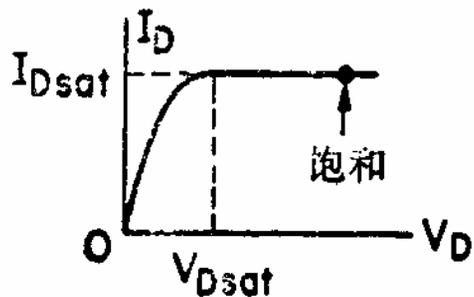
---饱和电流 I_{Dsat} , 理想情况不再升高。

耗尽区宽度变化和输出特性。

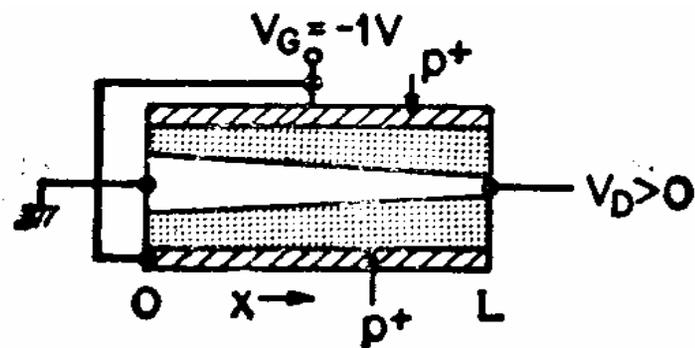
$V_G=0$, 夹断之后, V_D 继续增加, p点向源移动。



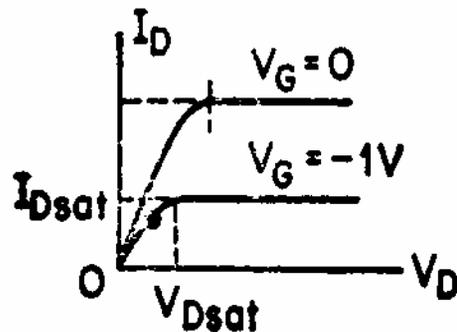
长沟道近似, 沟道内的电流保持不变。



栅极加负压, $V_G < 0$, 耗尽层宽度增加, 沟道电阻变大。

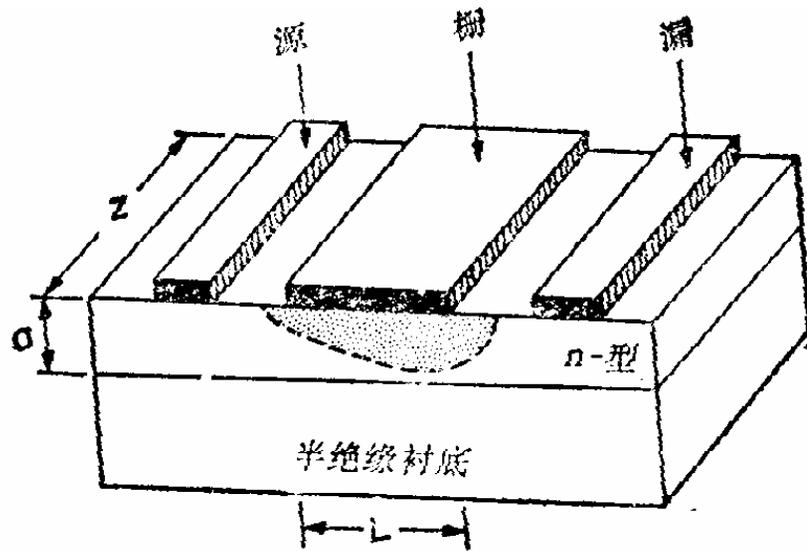


电流与 $V_G=0$ 时相比, 减小。



饱和电压: $V_{Dsat} = \frac{qN_D a^2}{2\epsilon_S} - V_{bi} - V_G$

3. 金属-半导体场效应晶体管, MESFET



MESFET示意图

与JFET结构类似, 源, 栅, 漏。

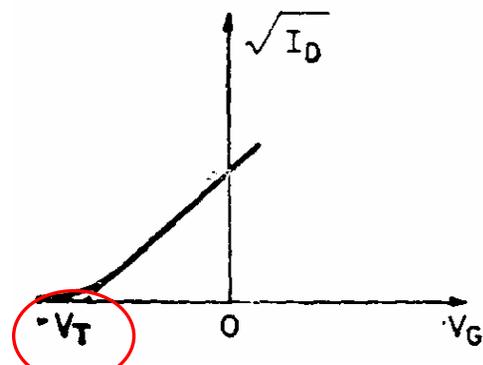
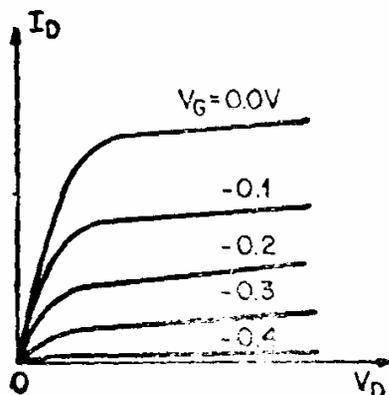
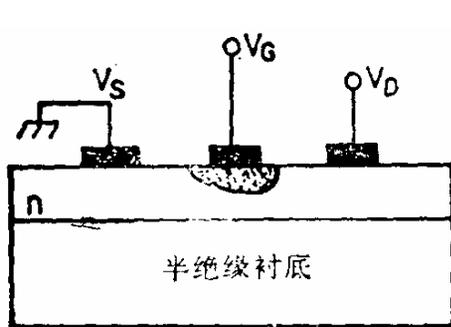
栅结是金属-半导体接触形成的肖特基势垒结。

通常用III-V族化合物, 如GaAs来制备, 电子迁移率高, 串联电阻小, 电子饱和速度大, 截止频率高。

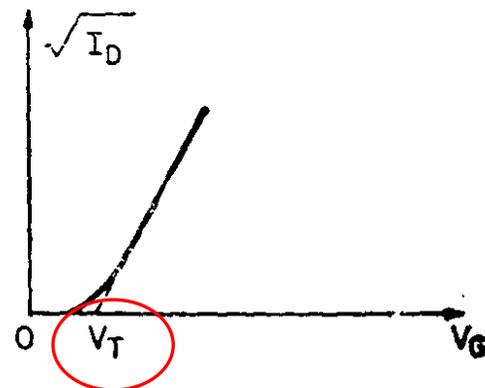
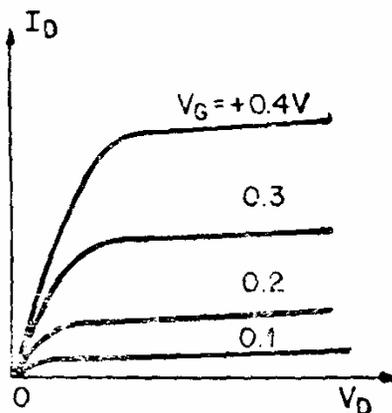
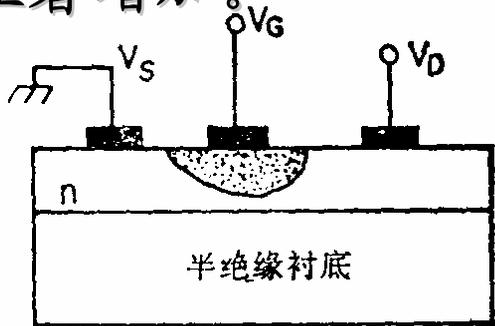
通过控制栅源电压, 可改变肖特基势垒区的厚度, 实现对沟道电阻和漏极电流的调控。

耗尽型和增强型MESFET: 根据零栅压时器件的工作状态来区分。

耗尽型 (常开型): 栅压为零时, 已有导电沟道, 电阻很小, 只有栅压负到一定程度, 漏极电流才为0。

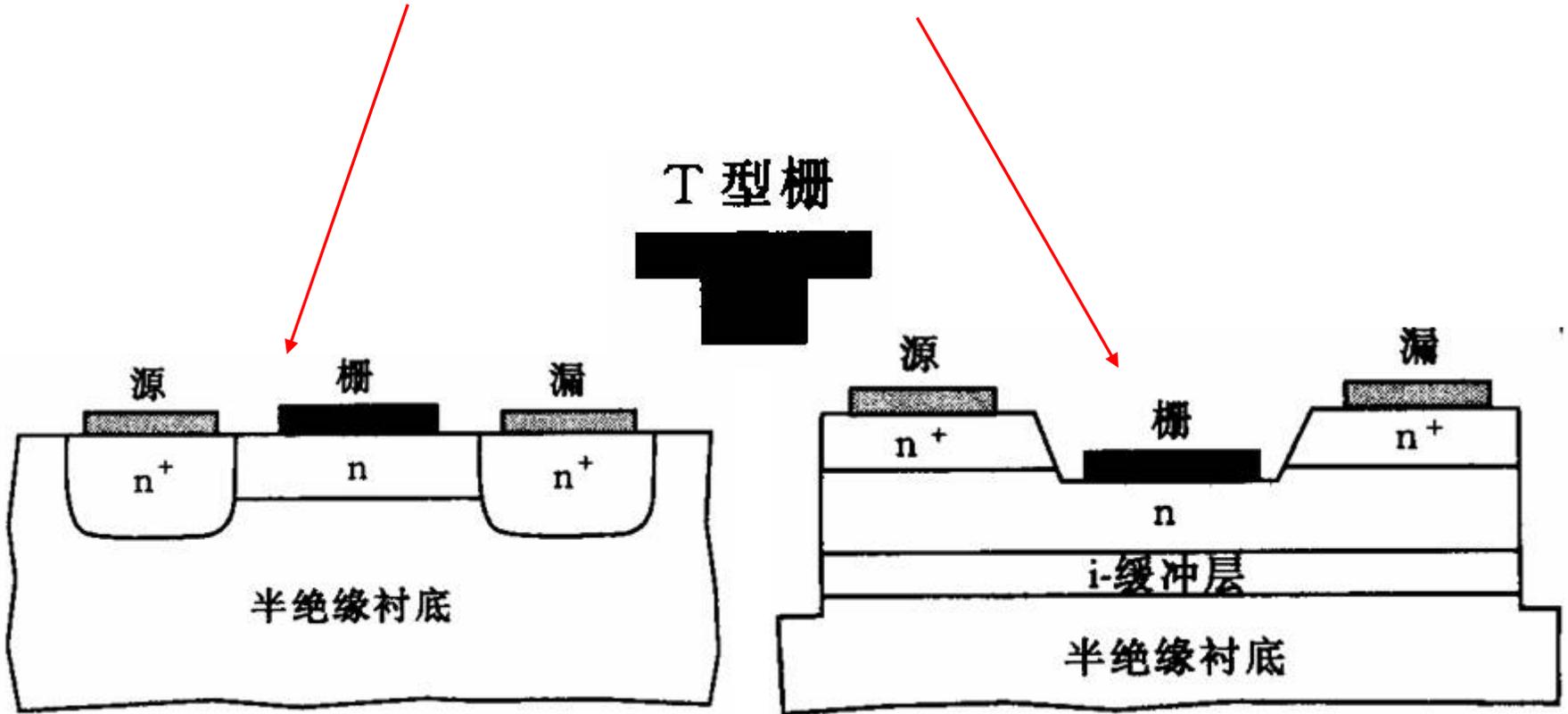


增强型 (常闭型): 栅压为零时, 沟道已被耗尽区占满, 沟道夹断电阻大, 沟道电流接近零, 只有栅压正到一定程度, 漏极电流才显著增加。



器件结构

离子注入平面结构和凹槽（凹栅）结构



基本的MESFET结构

小结

1. 场效应晶体管与双极晶体管的主要区别。
2. **MOSFET**的基本结构、基本原理、分类、输出特性。
3. **MOSFET**的短沟道效应。
4. 影响**MOSFET**阈值电压的主要因素，如何调整阈值电压。